

**PC-Modul  
CPU-X270LCD/NET  
Handbuch**

**Mikrap AG**

## Änderungsnachweis

<b>Änderungen:</b>	<b>Datei:</b>	<b>Erstellt:</b>
Erstausgabe	901260A.MAN01	24.11.2006 / JK
BPL 109011A, Footprint, Ausziehwerkzeug	901260B.MAN01	08.08.2007 / BT
ModuNORM durch Mikrap ersetzt	901260C.MAN01	23.07.2009 / OB

CoDeSys ist Warenzeichen von 3S Smart Software Solutions GmbH  
Windows®CE ist Warenzeichen von Microsoft Corp.

<b>© Copyright:</b>	<b>Geprüft:</b>	24.07.09/BT
Mikrap AG für Mikroelektronik-Applikation	Freigabe Abt. E:	27.07.09/WS
CH-8840 Einsiedeln	Freigabe Abt. M:	27.07.09/SW
Switzerland	Freigabe Abt. P:	27.07.09/MD

## Inhaltsverzeichnis

<b>1.</b>	<b>Einleitung</b> .....	<b>4</b>
1.1	Abmessungen .....	5
1.2	Umgebung.....	6
1.3	Zubehör.....	6
<b>2.</b>	<b>Eigenschaften</b> .....	<b>7</b>
<b>3.</b>	<b>Inbetriebnahme</b> .....	<b>9</b>
3.1	Speisung .....	9
3.2	LCD-Anzeige .....	9
3.3	Betriebssystem WindowsCE .....	9
3.4	Soft-SPS CoDeSys.....	10
3.5	Visualisierung CoDeSys .....	10
<b>4.</b>	<b>Funktionsbeschreibung</b> .....	<b>11</b>
4.1	Prozessor.....	11
4.2	Power-on Reset und Batterie backup.....	14
4.3	Watch-dog.....	15
4.4	Betriebsanzeige.....	15
4.5	Flash-EPROM .....	15
4.6	Dynamisches RAM .....	15
4.7	Statisches RAM.....	15
4.8	EEPROM.....	15
4.9	Real Time Clock (RTC).....	15
4.10	Anzeigentreiber und Video-RAM.....	15
4.11	Touchscreen .....	16
4.12	Lautsprecher .....	16
4.13	Mikrofon .....	16
4.14	Asynchrone Serielle Schnittstellen.....	16
4.15	Universal Serial Bus .....	16
4.16	SD-Card Slot.....	17
4.17	SSP-Schnittstelle.....	17
4.18	Ethernet-Controller .....	17
4.19	Digitale I/O's.....	17
4.20	Analoge Eingänge .....	17
4.21	Bus-Interface.....	18
4.22	JTAG Schnittstelle.....	20
<b>5.</b>	<b>Schnittstellenbeschreibung</b> .....	<b>21</b>
5.1	Streckerbelegung .....	21
<b>6.</b>	<b>Anhang</b> .....	<b>25</b>
6.1	Display Interface Tabellen .....	25
6.2	Literaturverzeichnis .....	26
	Bestückungsplan CPU-X270LCD/NET 109011A	

## 1. **Einleitung**

Das Mikrap Modul CPU-X270LCD/NET enthält alle Funktionen eines Windows CE Rechners mit Netzwerkanschluss auf einer steckbaren SMD-Baugruppe im Checkkartenformat.

Der low-power embedded RISC-Controller XScale PXA270 verfügt mit 624 MHz über genügend Rechnerleistung, um Anwendungen mit Farb-LCD Anzeige inkl. Touchscreen, COM- und Ethernet-Schnittstellen komplett mit Visualisierung und Soft-SPS auf dem selben Rechnerkern zu implementieren.

Auf der kompakten Fläche von 53 x 81 mm<sup>2</sup> enthält das über zwei 64-polige Stiftleisten im 2,54 mm Raster steckbare SMD-Modul neben der MCU PXA270 mit Watch-dog, Spannungsüberwachungs- und Reset-Logik, eine Echtzeituhr sowie eine Batterie-Backup Steuerung für die Echtzeituhr und das SRAM.

Bis zu 128 MByte Flash-EPROM, 128 MByte DRAM, 2 MByte SRAM, sowie bis zu 4 kByte EEPROM können bestückt werden. Der integrierte MMC/SD-Card Controller unterstützt einen externen Einschub für wechselbare SanDisk FlashCards bis 1 GByte. Optional kann ein ob-board Mini-SD Card Einschub bestückt werden.

Der integrierte LCD-Controller ermöglicht den direkten Anschluss einer Farb-TFT LCD-Anzeige. Ein zusätzlich integrierter CODEC-Baustein UCB1400 von Philips erlaubt den direkten Anschluss eines resistiven 4-Draht Touch-screens, eines Lautsprechers sowie eines Mikrofons.

Die seriellen Schnittstellen COM1 und COM3 sind in Logikpegel, die Schnittstelle COM2 in RS232 Norm auf den Stiftleisten verfügbar. Dank dem integrierten 10/100 MBit Ethernet-Controller LAN 91C111 von SMSC kann das Modul direkt mit einem gefilterten RJ-45 Netzwerkstecker verbunden werden.

Der PXA270 enthält einen integrierten USB Controller. Dadurch stehen entweder zwei USB-Host Schnittstellen oder eine USB-Host und eine USB-Device Schnittstelle auf den Stiftleisten zur Verfügung.

Zur anwendungsspezifischen Erweiterung stehen 3 analoge Eingänge und maximal 32 frei konfigurierbare digitale Ein-/Ausgänge, maximal 16 digitale Ausgänge sowie ein 16-Bit Datenbus mit 26-Bit Adressbus zur Verfügung.

Das Mikrap CPU-Modul CPU-X270LCD/NET enthält ein Bootsystem, welches das Betriebssystem lädt und startet. Dieses Bootsystem dient auch zur Wartung des Betriebssystems und der Anwendungssoftware.

### **Achtung:**

Die Informationen in diesem Handbuch wurden sorgfältig überprüft und als fehlerfrei befunden. Für Ungenauigkeiten wird jedoch keine Haftung übernommen. Alle Daten dienen ausschliesslich zu Informationszwecken. Sie sind Änderungen unterworfen und nicht im rechtlichen Sinne garantiert.

Dieses Handbuch gilt für folgende Mikrap Baugruppen:

Mikrap Checkkartenmodul CPU-X270LCD/NET	Artikel-Nr.:								
	MN-10901	MN-10902							
<b>Ausführung:</b>									
624 MHz PXA270	X								
312 MHz PXA270		X							
64 MByte FlashROM	X	X							
128 MByte FlashROM									
64 MByte DRAM	X	X							
128 MByte DRAM									
2 MByte SRAM gepuffert									
1 MByte SRAM gepuffert									
512 kByte SRAM gepuffert	X	X							
4 kByte EEPROM									
RTC gepuffert	X	X							
COM1 Logikpegel	X	X							
COM2 RS232	X	X							
COM3 Logikpegel	X	X							
USB1 Host	X	X							
USB2 Host oder Device	X	X							
NET1 10/100 MBit Ethernet	X	X							
CODEC	X	X							
WindowsCE Lizenz	X	X							

1.1

**Abmessungen**

Freistellung auf Basis-Leiterplatte für Ausziehwerkzeug

MASSTAB: 1:1	E: Generic CPU Footprint
GEZEICHNET: 08.08.2007/PZ	Artikelzeichnung 203950A.ART01
GEÄNDERT:	
GEPRÜFT: 08.08.2007/AF	Mikrap AG CH-8840 Einsiedeln

## 1.2 Umgebung

Speisespannung:	5 Volt DC $\pm 5\%$
Stromaufnahme:	typ. 600 mA
Leistungsaufnahme:	typ. 3 VA
Backup-Batterie:	3 Volt Lithium
Betriebstemperatur:	0 ... +70 °C ambient
EMV:	Bei korrekter Verdrahtung und Abschirmung der Schnittstellen: gemäss EN 50081-2 Emission gemäss EN 50082-2 Immunität

## 1.3 Zubehör

Folgendes Zubehör zur Mikrap CPU-X270LCD/NET ist erhältlich:

<b>Artikel-Nr:</b>	<b>Benennung:</b>	<b>Bemerkung:</b>
MN-90126	Manual CPU-X270LCD/NET	Deutsches Handbuch
MN-90103	Systemhandbuch XScale	Deutsches Handbuch
MN-90105	Treiberhandbuch XScale	Deutsches Handbuch
MN-00531	System Maintenance Tool	SMT II
MN-10973	CPU-Ausziehwerkzeug	Freistellung beachten!

## 2. Eigenschaften

Das Mikrap Modul CPU-X270LCD/NET weist folgende Eigenschaften auf:

- 624 oder 312 MHz low-power embedded RISC Microcontroller PXA270
- Spannungserzeugung ab +5 Volt mit Resetlogik
- programmierbarer integrierter Watchdog
- LED Betriebsanzeige
- 64 oder 128 MByte Flash-EEPROM
- 64 oder 128 MByte dynamisches RAM
- bis zu 2 MByte statisches RAM
- bis zu 4 kByte serielles EEPROM
- Einschub für Mini-SD-Cards oder Anschluss von externem SD-Card / MMC  
Einschub für FlashCards bis 1 GByte
- serielle Echtzeituhr
- Batterie-Backup Steuerung für Echtzeituhr und SRAM
- direkter Anschluss von Farb-TFT LCD-Anzeigen  
passive Farb-STN sowie Graustufen-LCD werden ebenfalls unterstützt
- direkter Anschluss von resistivem 4-Draht Touch-screen
- direkter Anschluss von Lautsprecher
- direkter Anschluss von Mikrofon
- serielle Schnittstelle COM1 in Logikpegel
- serielle Schnittstelle COM2 in RS232 Pegel
- serielle Schnittstelle COM3 in Logikpegel
- USB1 Host Schnittstelle
- USB2 Host oder Device Schnittstelle
- 10/100 MBit Ethernet Schnittstelle
- 3 analoge Eingänge
- 26-Bit Adressbus
- 16-Bit Datenbus
- bis zu 32 frei konfigurierbare digitale Ein-/Ausgänge z.B. für  
extended LCD Signale, MMC Interface, extended COM Signale,  
PWM Signale zur Programmierung von Helligkeit und Kontrast der LCD, etc.
- max. 13 digitale Ausgänge anstelle des LC-Displays
- JTAG Schnittstelle für Microcontroller

### **Achtung:**

Wir behalten uns Änderungen zur Verbesserung unserer Produkte ausdrücklich vor. Dies trifft vor allem auf Maskenänderungen der verwendeten Controller zu, welche ohne Vorankündigung in die Serienprodukte einfließen können.



### 3. Inbetriebnahme

#### **Vorsicht:**

Diese Baugruppe enthält Bauelemente, welche auf statische Entladungen empfindlich sind. Um eine Beschädigung der Baugruppe zu vermeiden, sind die entsprechenden Vorschriften zur Verpackung und Handhabung unbedingt zu beachten.

Der Einbau der Baugruppe in Geräte hat unter Berücksichtigung sämtlicher in den Destinationsländern anwendbarer Normen und Vorschriften zu erfolgen. Entsprechende Massnahmen zur Erfüllung solcher Anforderungen (z. B. betreffend EMV, EMB, usw.) sind durch den Hersteller dieser Geräte zu treffen.

#### **Achtung:**

Diese Baugruppe wird unter Verwendung von hochintegrierter SMD Technologie gefertigt. Eine mechanische Belastung der Bauelemente ist in keinem Falle zulässig.

### 3.1 Speisung

Damit das Modul arbeiten kann, sind mindestens folgende Anschlüsse zu beschalten:

- X1/1, X1/63, X1/65, X1/127 +5V Speisung +5 VDC  $\pm 5\%$
- X1/2, X1/64, X1/66, X1/128 GND Speisung 0 VDC

### 3.2 LCD-Anzeige

Der Anschluss einer LCD-Anzeige erfolgt über eine anwendungsspezifische Verdrahtung. Siehe Display Interface Tabellen im Anhang. Der Displaytreiber, welcher das Display entsprechend seinen Anforderungen ansteuert, muss displayspezifisch konfiguriert werden.

#### **Achtung:**

Displaytreiber und Display müssen einwandfrei aufeinander abgestimmt sein. Andernfalls kann eine Beschädigung des Displays und/oder der Baugruppe nicht ausgeschlossen werden!

### 3.3 Betriebssystem WindowsCE

Die Echtzeitfähigkeit von WindowsCE wurde in der Version .NET deutlich verbessert. Trotzdem können wir echtzeitfähiges Verhalten in Verbindung mit WindowsCE nur mit unserer Echtzeitunterstützung MNSys garantieren.

WindowsCE unterstützt das Programmieren mit den Microsoft Entwicklungswerkzeugen Visual-Studio oder Embedded-Tools für Visual Basic, Visual C++ und Visual J++.

Das Betriebssystem WindowsCE ist üblicherweise auf dem CPU-Modul bereits vorinstalliert.

Ein Update des Betriebssystems ist über die Systemschnittstelle COM2 oder MMC/SD Card möglich.

### **3.4 Soft-SPS CoDeSys**

Die integrierte Entwicklungsumgebung CoDeSys for Automation Alliance von 3S erlaubt die komfortable SPS Programmgenerierung gemäss IEC 1131-3. CANopen sowie die Einbindung von C/C++ Code wird unterstützt.

Das Laufzeitsystem PLCRT sowie die CoDeSys SPS Anwendung werden über die Systemschnittstelle COM2, Ethernet oder MMC in den Flash-Speicher des CPU-Moduls geladen.

Eine Runtime-Lizenz für die CoDeSys SPS ist bei einem Teil der Mikrap Module bereits im Hardwarepreis enthalten.

### **3.5 Visualisierung CoDeSys**

Die integrierte Entwicklungsumgebung CoDeSys for Automation Alliance von 3S erlaubt die effiziente Konfiguration von grafischen Benutzeroberflächen mit oder ohne Touch-screen. Es werden die Visualisierungsvarianten Target-Visu und Web-Visu unterstützt.

Die CoDeSys Visu Anwendung wird über die Systemschnittstelle COM2, Ethernet oder MMC in den Flash-Speicher des CPU-Moduls geladen.

Eine Runtime-Lizenz für die CoDeSys Target- und Web-Visu ist bei einem Teil der Mikrap Module bereits im Hardwarepreis enthalten.

## 4. Funktionsbeschreibung

### 4.1 Prozessor

Auf dem Board wird der 624 bzw. 312 MHz low-power embedded RISC-Controller XScale PXA270 mit integriertem LCD-Controller eingesetzt. Der auf der ARM Architektur basierende RISC Kern weist eine im Verhältnis zur Rechnerleistung geringe Verlustleistung auf. Siehe Literaturverzeichnis im Anhang.

Die General Purpose I/Os GPIO des PXA270 werden wie folgt verwendet:

GPIO	Signal	Typ	Alternativ	Typ	Bemerkung
0	nc	-	-	-	Reserviert für MNSys
1	INT_PAL	IN	-	-	vom externen Interrupt Controller
2	SYS_EN	OUT	-	-	
3	PWR_SCL	I/O	-	-	Real Time Clock
4	PWR_SDA	OUT	-	-	Real Time Clock
5	PWR_CAP0	-	-	-	
6	PWR_CAP1	-	-	-	
7	PWR_CAP2	-	-	-	
8	PWR_CAP3	-	-	-	
9	-CTSCOM2	IN	-	-	FFUART COM2
10	CD_MMC	IN	-	-	Card Detect, auch an PAL geführt
11	GPIO11	I/O	PWM2	OUT	Dimmung LCD
12	GPIO12	I/O	PWM3	OUT	
13	GND	IN	-	-	Write Enable für Mini-SD-Card (kompatibilität)
14	nc	-	-	-	
15	SRAM_-CS1	OUT	-	-	
16	GPIO16	I/O	PWM0	OUT	LCD-Kontrast
17	nc	-	-	-	
18	RDY	IN	-	-	Ready
19	nc	-	-	-	
20	PU_MMC	OUT	-	-	MMC/SDCard Pullup
21	LED	OUT	-	-	Betriebsanzeige
22	nc	-	-	-	
23	nc	-	-	-	
24	nc	-	-	-	
25	nc	-	-	-	
26	nc	-	-	-	
27	-RTSCOM2	OUT	-	-	
28	BITCLK	IN	-	-	CODEC
29	SDATA_IN0	IN	-	-	CODEC
30	SDATA_OUT	OUT	-	-	CODEC
31	SYNC	OUT	-	-	CODEC
32	CLK_MMC	OUT	GPIO32	I/O	Mit GPIO84 verbunden
33	-CS_PAL	OUT	-	-	
34	nc	-	-	-	
35	nc	-	-	-	
36	nc	-	-	-	
37	nc	-	-	-	
38	nc	-	-	-	
39	nc	-	-	-	
40	nc	-	-	-	

<b>GPIO</b>	<b>Signal</b>	<b>Typ</b>	<b>Alternativ</b>	<b>Typ</b>	<b>Bemerkung</b>
41	nc	-	-	-	
42	GPIO42	I/O	RXDCOM1	IN	
43	GPIO43	I/O	TXDCOM1	OUT	
44	GPIO44	I/O	-CTSCOM1	IN	
45	GPIO45	I/O	-RTSCOM1	OUT	
46	GPIO46	I/O	RXDCOM3	IN-	
47	GPIO47	I/O	TXDCOM3	OUT	
48	nc	-	-	-	
49	-PWE	OUT	-	-	Write Enable extern
50	GPIO50	I/O	-CTSCOM3	IN	
51	GPIO51	I/O	-RTSCOM3	OUT	
52	nc	-	-	-	
53	GPIO53	I/O	-FPVCC	OUT	LCD Speisung enable
54	nc	-	-	-	
55	nc	-	-	-	
56	PSW_USB2	OUT	-	-	Schalten der Speisung USB2 Host
57	OC_USB2	IN	-	-	Überstrom dection an USB2 Host
58	GPIO58	OUT	LDD0	OUT	
59	GPIO59	OUT	LDD1	OUT	
60	GPIO60	OUT	LDD2	OUT	
61	GPIO61	OUT	LDD3	OUT	
62	GPIO62	OUT	LDD4	OUT	
63	GPIO63	OUT	LDD5	OUT	
64	GPIO64	OUT	LDD6	OUT	
65	GPIO65	OUT	LDD7	OUT	
66	GPIO66	I/O	LDD8	OUT	
67	GPIO67	I/O	LDD9	OUT	
68	GPIO68	I/O	LDD10	OUT	
69	GPIO69	I/O	LDD11	OUT	
70	GPIO70	I/O	LDD12	OUT	
71	GPIO71	I/O	LDD13	OUT	
72	GPIO72	I/O	LDD14	OUT	
73	GPIO73	I/O	LDD15	OUT	
74	GPIO74	OUT	FCLK_LCD	OUT	
75	GPIO75	OUT	LCLK_LCD	OUT	
76	GPIO76	OUT	PCLK_LCD	OUT	
77	GPIO77	OUT	BIAS_LCD	OUT	
78	CS_ETH	OUT	-	-	-CS2, Chip Select Ethernet Controller
79	-CS3	OUT	-	-	-CS1_EXT (VLIO / muxed Adress-Data Bus)
80	-CS4	OUT	-	-	-CS2_EXT (VLIO)
81	GPIO81	I/O	TXD_SSP3	OUT	X1:10, mit GPIO112 verbunden
82	GPIO82	I/O	RXD_SSP3	IN	X1:11, mit GPIO92 verbunden
83	GPIO83	I/O	FRM_SSP3	OUT	X1:13, mit GPIO111 verbunden
84	GPIO84	I/O	CLK_SSP3	OUT	X1:12, mit GPIO32 verbunden
85	RXDCOM2	IN	-	-	FFUART COM2
86	nc	-	-	-	
87	nc	-	-	-	
88	OC_USB1	IN	-	-	Überstrom dection an USB1 Host
89	PSW_USB1	OUT	-	-	Schalten der Speisung USB1 Host
90	GPIO90	I/O	FPVEE	OUT	X1:90, LCD Kontrast
91	GPIO91	I/O	FPBACK	OUT	X1:46, LCD Hintergrundbeleuchtung

<b>GPIO</b>	<b>Signal</b>	<b>Typ</b>	<b>Alternativ</b>	<b>Typ</b>	<b>Bemerkung</b>
92	D0_MMC	I/O	GPIO92	I/O	X1:11, mit GPIO82 verbunden
93	nc	-	-	-	
94	nc	-	-	-	
95	nc	-	-	-	
96	nc	-	-	-	
97	nc	-	-	-	
98	nc	-	-	-	
99	TXDCOM2	OUT	-	-	FFUART COM2
100	nc	-	-	-	
101	nc	-	-	-	
102	nc	-	-	-	
103	nc	-	-	-	
104	nc	-	-	-	
105	nc	-	-	-	
106	nc	-	-	-	
107	nc	-	-	-	
108	nc	-	-	-	
109	D1_MMC	I/O	-	-	
110	D2_MMC	I/O	-	-	
111	D3_MMC	I/O	GPIO111	I/O	X1:13, verbunden mit GPIO83
112	CMD_MMC	OUT	GPIO112	I/O	X1:10, verbunden mit GPIO81
113	-RES_AC97	OUT	-	-	Codec
114	HW_VAR0	IN	-	-	HW Identifikation
115	HW_VAR1	IN	-	-	HW Identifikation
116	HW_VAR2	IN	-	-	HW Identifikation
117	nc	-	-	-	
118	nc	-	-	-	

nc = not connected

**4th2 Power-on Reset und Batterie backup**

Die Power-on Reset Schaltung garantiert ein sicheres Aufstarten des Prozessors und der Peripherie nach dem Einschalten der Speisung oder nach einem Spannungsunterbruch sowie nach einem Reset über den Pin -RST (X1:4).

Die unterbrechungsfreie Umschaltung der Versorgungsspannung +5V auf die Batteriespannung BAT einer externen 3 Volt Lithium-Batterie bei Spannungsunterbruch ist sichergestellt. Die RTC läuft weiter und der Inhalt des statischen RAM bleibt erhalten.

Die Batterieüberwachung detektiert, ob eine Batterie angeschlossen ist, bzw ob sie entladen ist. Dieses Signal -PFO kann am das PAL ausgewertet werden. Durch die Überwachung wird die Batterie mit 2 M $\Omega$  belastet.

BAT-Spannung [V]	-PFO
> 2.67	HIGH
2.67 > BAT > 2.51	undefiniert
< 2.51	LOW

Die Lebensdauer der angeschlossenen Batterie hängt vom Stromverbrauch und der Temperatur ab. Die nachfolgende Tabelle gibt an, wieviel Strom die einzelnen Bauteile benötigen.

Bauteil	VCC > VBAT		VCC < VBAT	
	Typ 25°C [ $\mu$ A]	Max 70°C [ $\mu$ A]	Typ 25°C [ $\mu$ A]	Max 70°C [ $\mu$ A]
MAX704	0,02 (max)	0,02	0,05	5
RTC RX8564	-	-	0,04	0,3
Batterieüberwachung	1,3	1,3	1,3	1,3
Total ohne SRAM	1,32	1,32	1,39	6,6
MAX704	0,02 (max)	0,02	0,05	5
1 x SRAM 256x16	-	-	0,5	10
RTC RX8564	-	-	0,04	0,3
Batterieüberwachung	1,3	1,3	1,3	1,3
Total 512 KByte SRAM	1,32	1,32	1,89	16,6
MAX704	0,02 (max)	0,02	0,05	5
1 x SRAM 512x16	-	-	0,5	25
RTC RX8564	-	-	0,04	0,3
Batterieüberwachung	1,3	1,3	1,3	1,3
Total 1 MByte SRAM	1,32	1,32	1,89	31,6
MAX704	0,02 (max)	0,02	0,05	5
1 x SRAM 1Mx16	-	-	1	20
RTC RX8564	-	-	0,04	0,3
Batterieüberwachung	1,3	1,3	1,3	1,3
Total 2 MByte SRAM	1,32	1,32	2,39	26,6
MAX704	0,02 (max)	0,02	0,05	5
1 x SRAM 2Mx16	-	-	2	40
RTC RX8564	-	-	0,04	0,3
Batterieüberwachung	1,3	1,3	1,3	1,3
Total 4 MByte SRAM	1,32	1,32	3,39	46,6

### 4.3 **Watch-dog**

Das im PXA270 integrierte OS-Timer Modul erlaubt die Programmierung eines Watch-dog Timers. Dieser erzeugt einen Reset des PXA270. Der Reset wird extern am Signal RES\_OUT ausgegeben und erlaubt damit ein definiertes Rücksetzen der Peripherie.

### 4.4 **Betriebsanzeige**

Die Software kann über die LED-Betriebsanzeige verschiedene Betriebszustände (z.B. durch blinken) anzeigen.

### 4.5 **Flash-EPROM**

Eingesetzt wird der Baustein DiskOnChip G3 mit 64 oder 128 MByte Flash-ROM Speicher von M-Systems.

### 4.6 **Dynamisches RAM**

Der DRAM-Bereich ist 32-Bit organisiert. Auf dem Board können 64 MByte oder 128 MByte dynamisches SDRAM bestückt werden. Der zyklische Refresh des DRAM's wird durch das Dynamic Memory Interface des PXA270 vorgenommen.

### 4.7 **Statisches RAM**

Der SRAM-Bereich ist 16-Bit organisiert. Auf dem Board können 512 kByte, 1 MByte oder 2 MByte statisches RAM mit Batteriepufferung bestückt werden.

### 4.8 **EEPROM**

Optional kann auf dem Board ein serielles EEPROM mit 4 kByte Grösse bestückt werden.

### 4.9 **Real Time Clock (RTC)**

Die serielle Echtzeituhr ist am PXA270 angeschlossen. Sie kann über eine externe Batterie gepuffert werden. Die Genauigkeit der Uhr beträgt -20..+30 ppm bei 25°C Umgebungstemperatur. Die Schaltjahrberechnung erfolgt korrekt bis ins Jahr 2099.

Die RTC verfügt über einen Clock-Ausgang (CLKOUT), der als Source für den vom PXA270 benötigten 32,768 kHz Clock verwendet wird.

### 4.10 **Anzeigentreiber und Video-RAM**

Der im PXA270 integrierte LCD-Controller verwendet einen Teil des DRAM Speichers als Video-RAM und unterstützt LCD-Anzeigen mit bis zu 800 x 600 Pixel.

Die LCD-Daten Signale LDD0..LDD15 und die LCD-Clocks des PXA270 stehen an der Stiftleiste X1 zur Verfügung. Dabei sind die Signale LDD0..LDD7 sowie die LCD-Clocks gebuffert. Die Signale LDD8..LDD15 sind direkt an die Stiftleiste geführt.

Es können STN b/w oder color sowie TFT Displays angeschlossen werden.

#### 4.11 **Touchscreen**

Das Touchscreen Interface des CODEC ist an der Stiftleiste X1 verfügbar. Es erlaubt den direkten Anschluss eines resistiven 4-Draht Touch-panels mit beliebigen Abmessungen.

Zuordnung der Signale zum Touchscreen

<b>X1</b>	<b>Signal</b>	<b>Kante des Touchscreen</b>	
6	TSPY	oben	
7	TSMY	unten	
8	TSPX	rechts	
9	TSMX	links	

#### 4.12 **Lautsprecher**

Der Lautsprecher Ausgang des CODEC ist an der Stiftleiste X1 verfügbar. Er erlaubt den direkten Anschluss eines Lautsprechers mit einer Impedanz von 16 oder 32  $\Omega$ .

#### 4.13 **Mikrofon**

Der Mikrofon Eingang des CODEC ist an der Stiftleiste X1 verfügbar.

#### 4.14 **Asynchrone Serielle Schnittstellen**

Die serielle Schnittstelle COM1 wird vom BTUART des PXA270 angesteuert. Es stehen die Signale RxD, TxD, RTS und CTS an der Stiftleiste X1 zur Verfügung. Die Signale sind 3.3V Pegel und 5V save.

Die serielle Schnittstelle COM2 wird vom FFUART des PXA270 angesteuert. Es stehen die Signale RxD, TxD, RTS und CTS an der Stiftleiste X1 zur Verfügung. Die Signale sind RS232 Standard.

Die serielle Schnittstelle COM3 wird vom STUART des PXA270 angesteuert. Der STUART stellt die Signale RxD und TxD zur Verfügung. RTS und CTS werden durch die GPIO's 50 & 51 realisiert. Die Signale stehen an der Stiftleiste X1 in 3.3V Logikpegel, 5V save zur Verfügung.

Die UART's verfügen über je 64 Byte Transmit- und Receive-FIFO. Die maximale Baudrate beträgt 921 kBd, kann aber je nach Beschaltung und Leitungslänge viel tiefer begrenzt sein.

#### 4.15 **Universal Serial Bus**

Der PXA270 stellt eine erste USB 1.1 Host Schnittstelle sowie eine zweite USB 1.1 Host oder Device Schnittstelle zur Verfügung. Die Signale sind auf die Stiftleiste X1 geführt.

#### **4.16 SD-Card Slot**

Der MultiMedia Card / SD Card Controller ist ein Periferiemodul des PXA270.

Optional kann ein 4-bit on-board Einschub für Mini SD Cards bestückt werden.

Wird der on-board Einschub nicht bestückt, so sind die 4 Signale MMCS0, MMCMD, MMCLK & MMDAT0 über 0-Ohm Widerstände mit den Signalen der SSP-Schnittstelle verbunden und auf die Stiftleiste X1 geführt. Damit kann modulextern ein 1-bit Einschub für MultiMedia Karten angeschlossen werden. Die Software muss sicherstellen, dass das jeweils nicht benutzte Modul inaktiv bleibt.

#### **4.17 SSP-Schnittstelle**

Die SSP-Schnittstelle ist ein Periferiemodul des PXA270. Die Signale sind am Stecker X1 verfügbar. Wenn kein SD-Card Einschub bestückt ist, sind die 4 Signale . die für den Anschluss eines Multimedia Karten Einschub notwendig sind auf dem Modul mit den Signalen der SSP-Schnittstelle verbunden. Die Software muss sicherstellen, dass das jeweils nicht benutzte Modul inaktiv bleibt.

#### **4.18 Ethernet-Controller**

Der Ethernet-Controller LAN91C111 ist direkt am PXA270 angeschlossen. Die 10/100 MBit Ethernet Schnittstelle steht auf der Stiftleiste X1 zur Verfügung.

#### **4.19 Digitale I/O's**

Maximal 45 digitale GPIO's stehen auf der Stiftleiste X1 zur Verfügung. Folgende Einschränkungen gelten:

- 13 GPIO's sind gebuffert und nur als TTL Ausgang verwendbar.
- 8 GPIO's sind 5V Save
- 16 GPIO's sind 3.3V Pegel

Die GPIO's sind anwendungsspezifisch frei programmierbar und lassen sich zum Beispiel für folgende Funktionen verwenden:

- extended LCD Signale
- MMC Interface
- extended COM Signale
- PWM Signale zur Programmierung von Helligkeit und Kontrast der LCD

#### **4.20 Analoge Eingänge**

Die drei analogen Eingänge ADC0 bis ADC2 des CODEC sind an der Stiftleiste X1 verfügbar. Der 10-Bit ADC weist einen Full-scale Bereich von 0 .. 7,5 Volt auf.

## 4.21 **Bus-Interface**

Für externe Erweiterungen ist der Prozessorbus in 3.3 Volt Logikpegel an der Stiftleiste X1 verfügbar. Es sind folgende Signale herausgeführt:

Signal	Bemerkung
A0 bis A25	Adressbus 26 Bit
D0 bis D15	Datenbus 16 Bit, 5V Save
-RST Reset	Reset Eingang, 3.3V Open Drain
-CS0_EXT	Chip-select für modulexterne Erweiterungen
-CS1_EXT	Chip-select für Bausteine mit multiplexten Adress/Datenbus
-WE	Write enable vom Prozessorsignal -PWE
-OE	Output enable
RD/-WR	Read/-Write vom Pal erzeugt
READY	Ready Eingang
-BE0 / -BE1	Byte enable
ALE	Adress Latch Enable für Bausteine mit multiplextem Adress/Datenbus
INT0_EXT	Interrupt Eingang, high Level aktiv
-INT1_EXT	Interrupt Eingang, low Level aktiv

Der externe Bus wird über den Chip Select –CS3 und –CS4 des PXA270 angesprochen.

Verwendung dieser Chip-Selects:

Chip-Select	extern	Offset	Verwendung
-CS3	-CS1_EXT	0x0	VLIO
		0x2000000	mux Adress/Datenbus
		0x2000002	ALE Daten I/O
-CS4	-CS0_EXT	0x0	VLIO

Die Basisadresse des -CS3 und -CS4 hängt von der Programmierung der Memory Management Unit des PXA270 ab.

### 4.21.1 Externe Ein-/Ausgänge

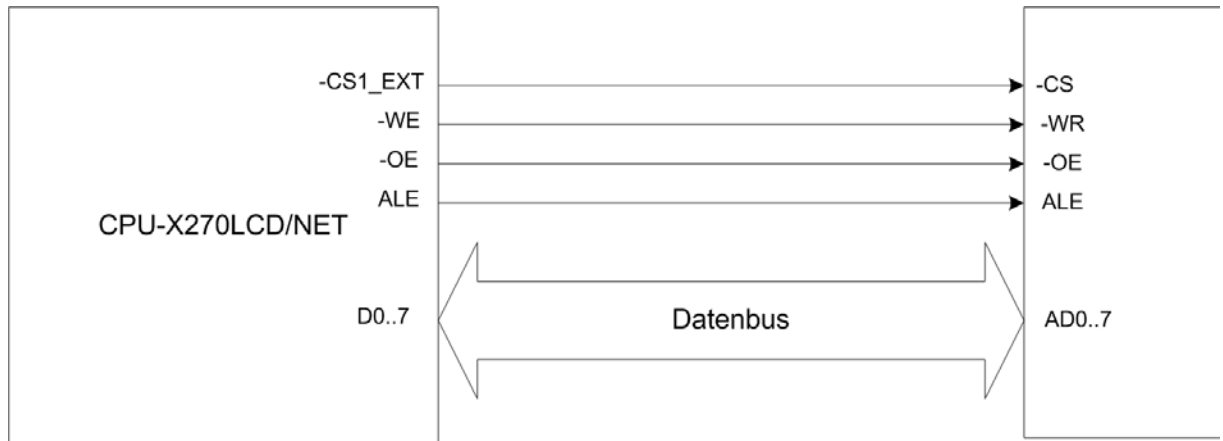
Zusätzliche je 16 digitale Ein- und Ausgänge für z.B. ein Matrix Keyboard mit LED's lassen sich auf einfache Weise über dieses Bus-Interface realisieren. Dazu werden die Signale D0 bis D15, -CS0\_EXT, -WE und -OE verwendet. Die digitalen Eingänge werden dabei mit dem Signal -OE über einen zusätzlichen externen, auf einer anwendungsspezifischen Basisbaugruppe platzierten 16-fach Bus-Treiber eingelesen. Die digitalen Ausgänge werden über das Signal -WE in ein externes 16-fach Bus-Latch geschrieben.

### 4.21.2 Externes PAL

Komplexere zusätzliche Funktionen werden üblicherweise über ein ladbares PAL realisiert. Dieses zusätzliche externe, auf einer anwendungsspezifischen Basisbaugruppe platzierte PAL wird 16 Bit breit an Daten-, Adress- und Controlbus angeschlossen.

### 4.21.3 Externe Bausteine mit multiplextem Adress/Datenbus

Bausteine, die ein Bus-Interface mit multiplextem Adress- & Datenbus haben, können am CPU-X270LCD/NET Modul folgendermassen angeschaltet werden:

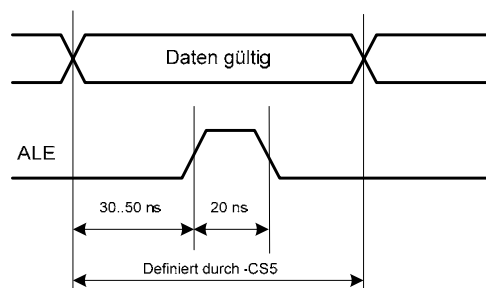


Zum Schreiben und Lesen sind jeweils zwei Zugriffe notwendig:

Zugriffart	Erster Zugriff (-CS3 + 0x2000000)	Zweiter Zugriff (-CS3 + 0x2000002)
Lesen	Periferie-Adresse schreiben	Byte lesen
Schreiben	Periferie-Adresse schreiben	Byte schreiben

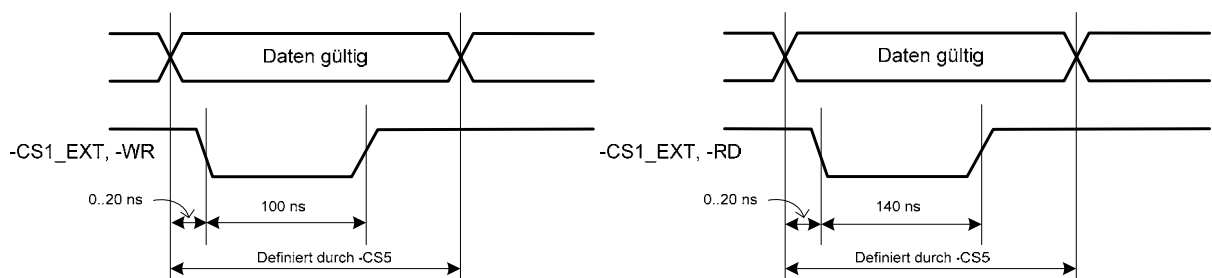
Beim ersten Zugriff wird vom Periferiebaustein die Adresse mit ALE gelatched. Beim zweiten Zugriff wird der Wert gelesen oder geschrieben. Um sicherzustellen, dass die Statemaschine im PAL zurückgesetzt ist, kann ein einzelner Dummy-Lesezugriff gemacht werden.

Timing des ersten Zugriff - Periferie-Adresse schreiben:



Timing des zweiten Zugriff – Daten lesen/schreiben:

Der Zugriffszyklus wird mit Hilfe des RDY-Eingang des PXA270 verlängert.



## **4.22 JTAG Schnittstelle**

Die JTAG/Debug Schnittstelle des PXA270 entspricht dem IEEE Standard 1149.1 (IEEE Standard Test Access Port and Boundary-Scan Architecture) und verfügt über Erweiterungen zum Software debuggen. Die Signale sind auf den Stecker X2 herausgeführt. Dies ermöglicht mit modulexterner Hard- und Software einen detaillierten Systemtest, die Initialprogrammierung des DiskOnChip sowie die Nutzung der Debug-Funktionalität des PXA270.

## 5. Schnittstellenbeschreibung

### 5.1 Streckerbelegung

#### 5.1.1 Pin-Typen

Typ	Funktion	Bemerkung
IC3	CMOS Eingang 3.3V Pegel	
OC3	CMOS Ausgang 3.3V Pegel	TTL-kompatibel
OCTS3	CMOS Ausgang 3.3V Pegel, Tri-State	TTL-kompatibel
OC5	CMOS Ausgang 5V Pegel	TTL-kompatibel
OCTS5	CMOS Ausgang 5V Pegel, Tri-State	TTL-kompatibel
IOC3	CMOS Bidirektional 3.3V Pegel	
IC3S	CMOS Eingang 3.3V Pegel, 5V Save	TTL-kompatibel
IOC3S	CMOS Bidirektional 3.3V Pegel, 5V Save	TTL-kompatibel
WO3	Wired OR (Open Drain) 3.3V Pegel	
IA	Analog Eingang	
OA	Analog Ausgang	
IOA	Analog Bidirektional	
SUP	Speisungs Pin	

#### 5.1.2 Stiftheiste X1

Das CPU-Modul verfügt an seiner Unterseite über zwei 32-polige Stiftheisten X1 mit total 128 Anschlüssen. An diesen stehen alle für eine Applikation notwendigen Signale zur Verfügung.

Pin	Signal	Typ	Bemerkung		
1	+5V	SUP	Speisung +5 VDC		
2	GND	SUP	Speisung 0 VDC		
3	BAT	SUP	3,0V Lithium Battery		
4	-RST	WO3	Push-button Reset		
5	RES_OUT	OC3	Reset Out		
6	TSPY	IA	Touch-screen		
7	TSMY	IA	Touch-screen		
8	TSPX	IA	Touch-screen		
9	TSMX	IA	Touch-screen		
10	MMCMD	GPIO81 & 112	OC3	IOC3	MultiMediaCard, SSPTXD0 / GPIO81 & 112
11	MMDAT	GPIO82 & 92	IC3	IOC3	MultiMediaCard, SSPRXD / GPIO82 & 92
12	MMCLK	GPIO84 & 32	OC3	IOC3	MultiMediaCard, SSPCLK / GPIO84 & 32
13	MMCCS0	GPIO83 & 111	OC3	IOC3	MultiMediaCard, SSPCS0 / GPIO83 & 111
14	SPEAKER+		OA		Speaker Output
15	SPEAKER-		OA		Speaker Output
16	D0		IOC3S		Data Bus
17	D1		IOC3S		Data Bus
18	D2		IOC3S		Data Bus
19	D3		IOC3S		Data Bus
20	D4		IOC3S		Data Bus
21	D5		IOC3S		Data Bus
22	D6		IOC3S		Data Bus

Pin	Signal		Typ		Bemerkung
23	D7		IOC3S		Data Bus
24	D8		IOC3S		Data Bus
25	D9		IOC3S		Data Bus
26	D10		IOC3S		Data Bus
27	D11		IOC3S		Data Bus
28	D12		IOC3S		Data Bus
29	D13		IOC3S		Data Bus
30	D14		IOC3S		Data Bus
31	D15		IOC3S		Data Bus
32	MICP		IA		Mikrofon Eingang
33	GPIO12	-INT1_EXT	IOC3S	IC3S	GPIO12 / Interrupt Eingang
34	GND		SUP		Speisung 0 VDC
35	ALE		OC3		Address Latch Enable
36	A1		OC3		Address Bus gebuffert
37	A2		OC3		Address Bus gebuffert
38	A3		OC3		Address Bus gebuffert
39	A4		OC3		Address Bus gebuffert
40	A5		OC3		Address Bus gebuffert
41	A6		OC3		Address Bus gebuffert
42	A7		OC3		Address Bus gebuffert
43	A8		OC3		Address Bus gebuffert
44	A9		OC3		Address Bus gebuffert
45	A10		OC3		Address Bus gebuffert
46	A11		OC3		Address Bus gebuffert
47	A12		OC3		Address Bus gebuffert
48	A13		OC3		Address Bus gebuffert
49	A14		OC3		Address Bus gebuffert
50	A15		OC3		Address Bus gebuffert
51	A16		OC3		Address Bus <sup>1)</sup>
52	A17		OC3		Address Bus <sup>1)</sup>
53	A18		OC3		Address Bus <sup>1)</sup>
54	A19		OC3		Address Bus <sup>1)</sup>
55	A20		OC3		Address Bus <sup>1)</sup>
56	A21		OC3		Address Bus <sup>1)</sup>
57	A22		OC3		Address Bus <sup>1)</sup>
58	A23		OC3		Address Bus <sup>1)</sup>
59	A24		OC3		Address Bus <sup>1)</sup>
60	A25		OC3		Address Bus <sup>1)</sup>
61	nc		-		
62	nc		-		
63	+5V		SUP		Speisung +5 VDC
64	GND		SUP		Speisung 0 VDC
65	+5V	-	SUP	-	Speisung +5 VDC
66	GND	-	SUP	-	Speisung 0 VDC
67	TX+_NET1		OA		Ethernet NET1
68	TX-_NET1		OA		Ethernet NET1
69	RX+_NET1		IA		Ethernet NET1
70	RX-_NET1		IA		Ethernet NET1
71	- LEDA_NET1		OA		Ethernet LED A
72	- LEDB_NET1	-	OA	-	Ethernet LED B
73	CTSCOM2	-	IA	-	Serial COM2 RS232 Pegel

Pin	Signal		Typ		Bemerkung
74	RTSCOM2	-	OA	-	Serial COM2 RS232 Pegel
75	GPIO50	-CTSCOM3	IOC3S	IC3S	GPIO50 / Serial COM3
76	GPIO51	-RTSCOM3	IOC3S	OC3	GPIO51 / Serial COM3
77	GPIO44	-CTSCOM1	IOC3S	IC3S	GPIO44 / Serial COM1
78	GPIO45	-RTSCOM1	IOC3S	OC3	GPIO45 / Serial COM1
79	GPIO42	RXDCOM1	IOC3S	IC3S	GPIO 42 / Serial COM1
80	GPIO43	TXDCOM1	IOC3S	OC3	GPIO 43 / Serial COM1
81	GPIO46	RXDCOM3	IOC3S	IC3S	GPIO 46 / Serial COM3
82	GPIO47	TXDCOM3	IOC3S	OC3	GPIO 47 / Serial COM3
83	-RXDCOM2	-	IA	-	Serial COM2 RS232Pegel
84	-TXDCOM2	-	OA	-	Serial COM2 RS232Pegel
85	ADC2		IA		Analog Input 2
86	ADC1		IA		Analog Input 1
87	ADC0		IA		Analog Input 0
88	LCD_LDD10 <sup>2)</sup>	GPIO68	OCS	IOC3S	LCD Anzeige / GPIO68
89	LCD_LDD11 <sup>2)</sup>	GPIO69	OC3	IOC3S	LCD Anzeige / GPIO69
90	LCD_FPVEE	-	OCTS5 <sup>3)</sup>	OCTS5 <sup>3)</sup>	LCD Anzeige / GPO11
91	-LCD_FPVCC	GPIO53	OC3	-	LCD Anzeige
92	GPIO16	PWM0	IOC3	OC3	GPIO16 / LCD-Kontrast
93	GPIO11	PWM2	IOC3S	OC3	GPIO11 / LCD-Helligkeit
94	LCD_LDD0 <sup>2)</sup>	GPO58	OCTS5 <sup>3)</sup>	OCTS5 <sup>3)</sup>	LCD Anzeige / GPO58
95	LCD_LDD1 <sup>2)</sup>	GPO59	OCTS5 <sup>3)</sup>	OCTS5 <sup>3)</sup>	LCD Anzeige / GPO59
96	LCD_LDD2 <sup>2)</sup>	GPO60	OCTS5 <sup>3)</sup>	OCTS5 <sup>3)</sup>	LCD Anzeige / GPO60
97	LCD_LDD3 <sup>2)</sup>	GPO61	OCTS5 <sup>3)</sup>	OCTS5 <sup>3)</sup>	LCD Anzeige / GPO61
98	GND		SUP		Speisung 0 VDC
99	LCD_LDD4 <sup>2)</sup>	GPO62	OCTS5 <sup>3)</sup>	OCTS5 <sup>3)</sup>	LCD Anzeige / GPO62
100	LCD_LDD5 <sup>2)</sup>	GPO63	OCTS5 <sup>3)</sup>	OCTS5 <sup>3)</sup>	LCD Anzeige / GPO63
101	LCD_LDD6 <sup>2)</sup>	GPO64	OCTS5 <sup>3)</sup>	OCTS5 <sup>3)</sup>	LCD Anzeige / GPO64
102	LCD_LDD7 <sup>2)</sup>	GPO65	OCTS5 <sup>3)</sup>	OCTS5 <sup>3)</sup>	LCD Anzeige / GPO65
103	LCD_FCLK <sup>2)</sup>	GPO74	OCTS5 <sup>3)</sup>	OCTS5 <sup>3)</sup>	LCD Anzeige / GPO74
104	LCD_LCLK <sup>2)</sup>	GPO75	OCTS5 <sup>3)</sup>	OCTS5 <sup>3)</sup>	LCD Anzeige / GPO75
105	LCD_PCLK <sup>2)</sup>	GPO76	OCTS5 <sup>3)</sup>	OCTS5 <sup>3)</sup>	LCD Anzeige / GPO76
106	LCD_BIAS <sup>2)</sup>	GPO77	OCTS5 <sup>3)</sup>	OCTS5 <sup>3)</sup>	LCD Anzeige / GPO77
107	LCD_LDD12 <sup>2)</sup>	GPIO70	OC3	IOC3S	LCD Anzeige / GPIO70
108	LCD_LDD13 <sup>2)</sup>	GPIO71	OC3	IOC3S	LCD Anzeige / GPIO71
109	LCD_LDD14 <sup>2)</sup>	GPIO72	OC3	IOC3S	LCD Anzeige / GPIO72
110	LCD_LDD15 <sup>2)</sup>	GPIO73	OC3	IOC3S	LCD Anzeige / GPIO73
111	LCD_LDD8 <sup>2)</sup>	GPIO66	OC3	IOC3S	LCD Anzeige / GPIO66
112	LCD_LDD9 <sup>2)</sup>	GPIO67	OC3	IOC3S	LCD Anzeige / GPIO67
113	D+_USB2H	-	IOA	-	USB2 Host/Device Schnittstelle
114	D-_USB2H	-	IOA	-	USB2 Host/Device Schnittstelle
115	VBUS_USB1	-	OA	-	Speisung USB1
116	VBUS_USB2	-	OA	-	Speisung USB2
117	D+_USB1H	-	IOA	-	USB1 Host Schnittstelle
118	D-_USB1H	-	IOA	-	USB1 Host Schnittstelle
119	READY	-	IC3S	-	Ready
120	RD/-WR	-	OC3	-	Read / Write
121	-BE0	-	OC3	-	Byte enable 0 (D0..7)
122	-BE1	-	OC3	-	Byte enable 1 (D8..15)
123	-CS1_EXT	-	OC3	-	external Chip-select 1
124	-CS0_EXT	-	OC3	-	external Chip-select 0

Pin	Signal		Typ		Bemerkung
125	-OE	-	OC3	-	external Output enable
126	-WE	-	OC3	-	external Write enable
127	+5V	-	SUP	-	Speisung +5 VDC
128	GND	-	SUP	-	Speisung 0 VDC

- 1) bei externer Verwendung der Adressen A16..A25 müssen diese möglichst nahe am Modul gebuffert werden.
- 2) Displaytreiber und Display müssen unbedingt aufeinander abgestimmt sein. Andernfalls kann eine Beschädigung des Displays und/oder der Baugruppe nicht ausgeschlossen werden!
- 3) Durch Bestückungsvariante ist 3,3V Logikpegel (OC3) möglich.

### 5.1.3 Stecker X2 (JTAG)

Pin	Signal	Typ	Bemerkung
1	TMS	IC3	Über 0E Widerstand PXA270 (default) oder PAL selektierbar
2	TDI	IC3	
3	TDO	OC3	
4	TCK	IC3	
5	-TRST	IC3	
6	GND	SUP	
7	+3,3V	OA	
8	-RST	WO3	Reset
9	-		
10	-		

Zur Anwendung der JTAG Schnittstelle siehe Dokumentation des PXA270 (Literaturverzeichnis im Anhang).

6. **Anhang**6.1 **Display Interface Tabellen**

CPU Modul		Display's			
X1 Pin	Signal	STN b/w 320x240	STN color 320x240	TFT 64k color 16Bpp	TFT 256 (aus 4096) color (Palette) 8 Bpp 4)
94	LCD_LDD0	D3	D0	B1	B2
95	LCD_LDD1	D2	D1	B2	B3
96	LCD_LDD2	D1	D2	B3	B4
97	LCD_LDD3	D0	D3	B4	B5
99	LCD_LDD4		D4	B5	G2
100	LCD_LDD5		D5	G0	G3
101	LCD_LDD6		D6	G1	G4
102	LCD_LDD7		D7	G2	G5
111	LCD_LDD8			G3	R2
112	LCD_LDD9			G4	R3
88	LCD_LDD10			G5	R4
89	LCD_LDD11			R1	R5
107	LCD_LDD12			R2	
108	LCD_LDD13			R3	
109	LCD_LDD14			R4	
110	LCD_LDD15			R5	
103	LCD_FCLK	FRAME	FRAME	Vsync	Vsync
104	LCD_LCLK	LOAD	LOAD	Hsync	Hsync
105	LCD_PCLK	CP	CP	CK	CK
106	LCD_BYAS			ENAB	ENAB
90	LCD_FPVEE	DISP OFF	DISP OFF		
91	-FPVCC	1)	1)		
92	PWM1	2)	2)		
93	PWM2	3)	3)		
98	GND	VSS	VSS	GND	GND

ext. Signale				
VCC 5 Volt oder VCC 3,3 Volt	VDD	VDD	VCC	VCC
VEE	VEE, V0	VEE, V0		

- 1) Signal zum Schalten der extern erzeugten Display Speisung VCC
- 2) Signal zum Regeln der extern erzeugten Display Speisung VEE (Kontrasteinstellung)
- 3) Signal zum Regeln der extern erzeugten Switcher Speisung VCC (Dimmung der Hintergrundbeleuchtung)
- 4) Kompatibel zu bestehenden Mikrap PC-Basis LCP Boards. Die Signale LCD\_LDD12 bis LCD\_LDD15 werden als GPIO's zum laden des PAL's auf der Basis verwendet. Es wird auch eine speziell angepasste Farb-Palette benötigt.

## 6.2

### **Literaturverzeichnis**

Bezugsquellen der wichtigsten Datenbücher:

#### **XScale PXA270:**

Dokumente: PXA270 Processor Developer's Manual  
PXA270 Processor Design Guide  
PXA270 Electrical, Mechanical, and Thermal Specification  
XScale Core Developer's Manual  
Hersteller: Marvell Semiconductor Inc.  
[www.marvell.com](http://www.marvell.com)

#### **ARM Kernel:**

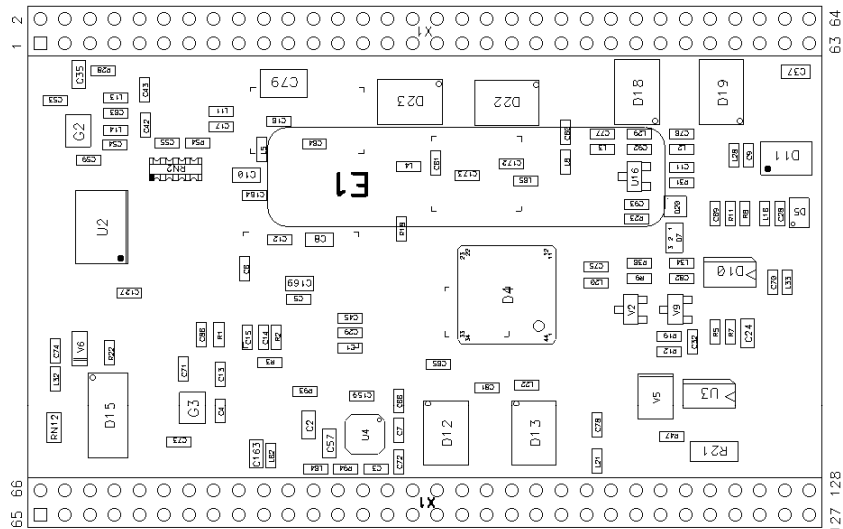
Quelle: Advanced RISC Machines Ltd.  
[www.arm.com](http://www.arm.com)

#### **Ethernet-Controller LAN91C111A:**

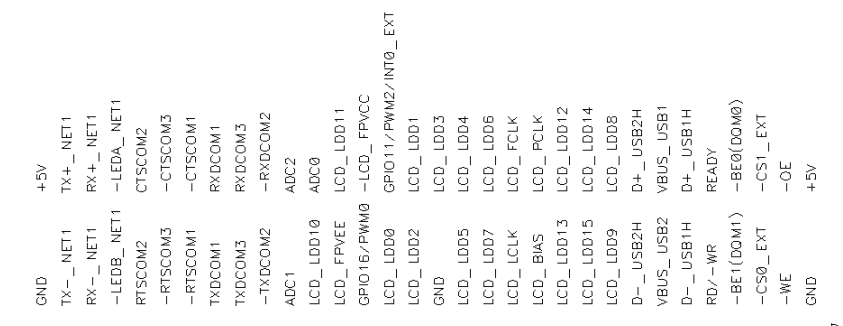
Dokument: Datenblatt DS-LAN91C111  
Hersteller: SMSC  
[www.smsc.com](http://www.smsc.com)

#### **CODEC UCB1400:**

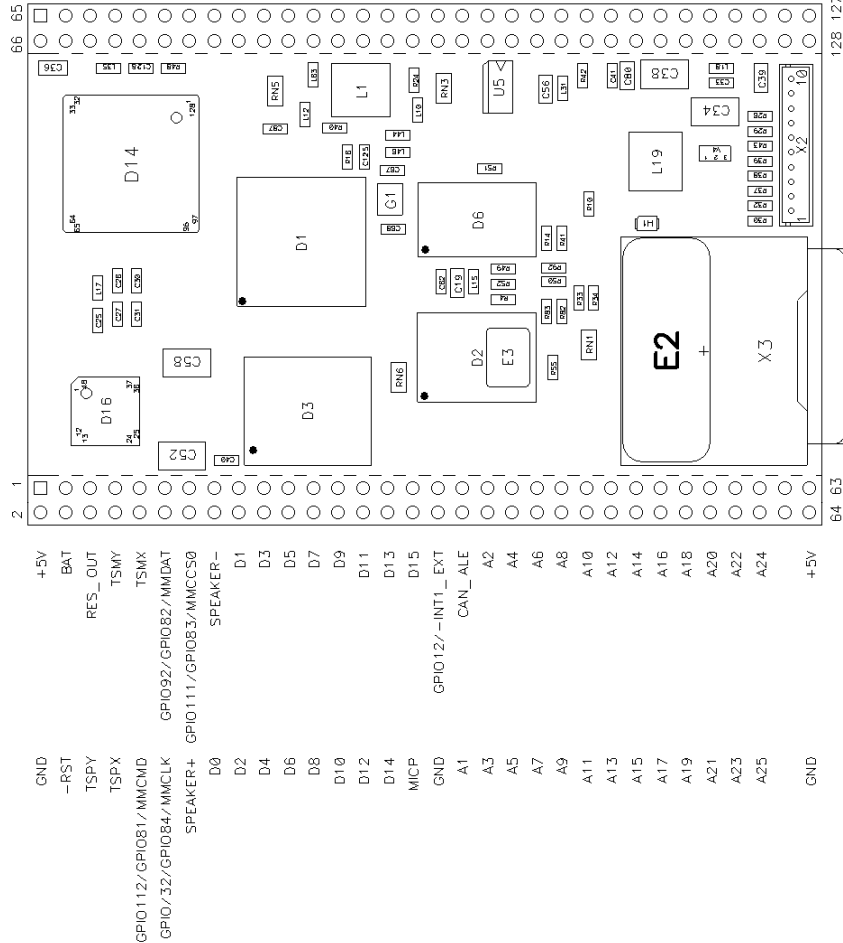
Dokument: UCB1300 Product specification  
Hersteller: Philips Semiconductors  
[www.philips-semiconductors.com](http://www.philips-semiconductors.com)



Bottom



Top



Mikrap PC-Modul CPU-X270LCD/NET

**109011A.BPL01**

**Bestueckungsplan**

**MIKRAP AG CH-8840 EINSIEDELN**

---

MASSTAB 2:1

GEZEICHNET: 06.06.2006/PZ

GEANDERT: 08.08.2006/PZ

GEPRUEFT: 08.08.2006/AF

Minderbestueckung moeglich

**Mikrap AG für Mikroelektronik-Applikation**

Postfach 264  
Langrütistrasse 33  
CH-8840 Einsiedeln  
Schweiz

Tel: +41 (0)55 418 44 44  
Fax: +41 (0)55 418 44 33  
E-mail: [info@mikrap.ch](mailto:info@mikrap.ch)  
Internet: [www.mikrap.com](http://www.mikrap.com)