

**PC-Modul
CPU-X255LCD/NET
Handbuch**

Mikrap AG

Änderungsnachweis

Änderungen:	Datei:	Erstellt:
Erstausgabe	901020A	10.03.2003 / JK
Reset-Detect , RTC, GPIO	901020B	19.05.2003 / JK
Baugruppenübersicht, Batterie-Backup	901020B	06.06.2003 / BT
Ethernet Contr., EEPROM, GPIO & UART's	901020C	10.06.2003 / JK
COM3, CS3..5 als VLIO, 2MB SRAM	901020D	19.08.2003 / JK
SSP Schnittstelle, USB Rev 2.0	901020D	12.09.2003 / JK
Visualisierung CoDeSys	901020D	19.09.2003 / BT
GPIOs, Literaturverzeichnis, Signale X1	901020E.MAN01	23.04.2004 / JK
GPIO75, Blockschaltbild, USB	901020F.MAN01	21.02.2005 / BT
Batteriestrom, Displayleitungen	901020G.MAN01	23.07.2007 / RB
ModuNORM durch Mikrap ersetzt	901020H.MAN01	15.07.2009 / OB

CoDeSys ist Warenzeichen von 3S Smart Software Solutions GmbH

QVis ist Markenzeichen von Kinz Elektronik

Windows®CE ist Warenzeichen von Microsoft Corp.

© Copyright:	Geprüft:	15.07.2009 / BT
Mikrap AG für Mikroelektronik-Applikation	Freigabe Abt. E:	16.07.2009 / WS
CH-8840 Einsiedeln	Freigabe Abt. M:	15.07.2009 / SW
Switzerland	Freigabe Abt. P:	15.07.2009 / MD

Inhaltsverzeichnis

1.	Einleitung.....	3
1.1	Abmessungen	3
1.2	Umgebung.....	3
1.3	Zubehör.....	3
2.	Eigenschaften.....	3
3.	Inbetriebnahme.....	3
3.1	Speisung	3
3.2	LCD-Anzeige	3
3.3	Flash-Download	3
3.4	Betriebssystem Windows CE	3
3.5	Soft-SPS CoDeSys.....	3
3.6	Visualisierung CoDeSys	3
3.7	Visualisierung QVis	3
4.	Funktionsbeschreibung	3
4.1	Prozessor	3
4.2	Power-on Reset und Batterie backup.....	3
4.3	Reset-Detect	3
4.4	Watch-dog.....	3
4.5	Betriebsanzeige.....	3
4.6	Flash-EPROM	3
4.7	Dynamisches RAM	3
4.8	Statisches RAM.....	3
4.9	EEPROM.....	3
4.10	MultiMediaCard Controller	3
4.11	Real Time Clock (RTC).....	3
4.12	Anzeigentreiber und Video-RAM.....	3
4.13	Touch-screen	3
4.14	Lautsprecher	3
4.15	Mikrofon	3
4.16	Asynchrone Serielle Schnittstellen	3
4.17	Universal Serial Bus	3
4.18	SSP-Schnittstelle.....	3
4.19	Ethernet-Controller	3
4.20	Digitale I/O's.....	3
4.21	Analoge Eingänge	3
4.22	Bus-Interface.....	3
4.23	JTAG Schnittstelle.....	3
5.	Schnittstellenbeschreibung.....	3
5.1	Streckerbelegung	3
6.	Anhang.....	3
6.1	Display Interface Tabellen	3
6.2	Literaturverzeichnis	3
	Bestückungsplan CPU-X255LCD/NET 107402A	

1. **Einleitung**

Das Mikrap Modul CPU-X255LCD/NET enthält alle Funktionen eines Windows CE Rechners mit Netzwerkanschluss auf einer steckbaren SMD-Baugruppe im Checkkartenformat.

Der low-power embedded RISC-Controller XScale PXA255 von Intel verfügt mit 398 MHz über genügend Rechnerleistung, um Anwendungen mit Farb-LCD Anzeige inkl. Touch-screen, COM- und Ethernet-Schnittstellen komplett mit Visualisierung und Soft-SPS auf dem selben Rechnerkern zu implementieren.

Auf der kompakten Fläche von 53 x 81 mm² (Checkkartenformat) enthält das über zwei 64-polige Stiftleisten im 2,54 mm Raster steckbare SMD-Modul neben der MCU PXA255 mit Watch-dog, Spannungsüberwachungs- und Reset-Logik, bis zu 64 MByte Flash-EPROM, 64 MByte DRAM, 2 MByte SRAM, 32 kByte EEPROM, eine Echtzeituhr sowie eine Batterie-Backup Steuerung für die Echtzeituhr und das SRAM. Der integrierte MMC Controller unterstützt einen externen MultiMediaCard Einschub für wechselbare FlashCards bis 256 MByte.

Der integrierte LCD-Controller ermöglicht den direkten Anschluss einer Farb-TFT LCD-Anzeige. Ein zusätzlich integrierter CODEC-Baustein UCB1400 von Philips erlaubt den direkten Anschluss eines resistiven 4-Draht Touch-screens, eines Lautsprechers sowie eines Mikrofons.

Die seriellen Schnittstellen COM1 und COM3 sind in Logikpegel, die Schnittstelle COM2 in RS232 Norm auf den Stiftleisten verfügbar. Die USB Device Schnittstelle des PXA255 steht ebenfalls auf den Stiftleisten zur Verfügung. Dank dem integrierten 10/100 MBit Ethernet-Controller LAN 91C111 von SMC kann das Modul direkt mit einem gefilterten RJ-45 Netzwerkstecker verbunden werden.

Optional kann ein USB Host Controller ISP1161 von Philips bestückt werden. Damit stehen zusätzlich zur USB Device Schnittstelle des PXA255 zwei USB Host Schnittstellen des ISP1161 auf den Stiftleisten zur Verfügung.

Zur anwendungsspezifischen Erweiterung stehen 3 analoge Eingänge und maximal 32 frei konfigurierbare digitale Ein-/Ausgänge, maximal 16 digitale Ausgänge sowie ein 16-Bit Datenbus mit 26-Bit Adressbus zur Verfügung.

Zur einfachen Inbetriebnahme des Mikrap Moduls CPU-X255LCD/NET steht ein PC-Handy JTAG zur Verfügung. Dieses erlaubt die Initial-Programmierung der Flash-Bausteine über JTAG, sowie den anschliessenden Software-Download über die serielle Schnittstelle.

Achtung:

Die Informationen in diesem Handbuch wurden sorgfältig überprüft und als fehlerfrei befunden. Für Ungenauigkeiten wird jedoch keine Haftung übernommen. Alle Daten dienen ausschliesslich zu Informationszwecken. Sie sind Änderungen unterworfen und nicht im rechtlichen Sinne garantiert.

Dieses Handbuch gilt für folgende Mikrap Baugruppen:

Mikrap Checkkartenmodul CPU-X255LCD/NET	Artikel-Nr.:																			
	MN-10740	MN-10814	MN-10832																	
Ausführung:																				
64 MByte FlashROM			X																	
32 MByte FlashROM	X	X																		
16 MByte FlashROM																				
64 MByte DRAM		X	X																	
32 MByte DRAM	X																			
16 MByte DRAM																				
2 MByte SRAM gepuffert																				
1 MByte SRAM gepuffert																				
512 kByte SRAM gepuffert	X	X	X																	
32 kByte EEPROM																				
16 kByte EEPROM																				
8 kByte EEPROM	X	X	X																	
RTC gepuffert	X	X	X																	
COM1 Logikpegel	X	X	X																	
COM2 RS232	X	X	X																	
COM3 Logikpegel	X	X	X																	
USB Host1 & 2	X	X	X																	
USB USB Device	X	X	X																	
NET1 10/100 MBit Ethernet	X	X	X																	
CODEC	X	X	X																	
Windows CE Lizenz	X	X	X																	
Soft-SPS Lizenz																				
Visualisierungs Lizenz																				

1.0 Abmessungen

Abmessungen: L x B 81 x 53 mm

2.0 Umgebung

Speisespannung: 5 Volt DC ±5 %

Stromaufnahme: typ. 600 mA

Leistungsaufnahme: typ. 3 VA

Backup-Batterie: 3 Volt Lithium

Betriebstemperatur: 0 ... +70 °C ambient

EMV: Bei korrekter Verdrahtung und Abschirmung der Schnittstellen:

gemäss EN 50081-2 Emission

gemäss EN 50082-2 Immunität

3.0**Zubehör**

Folgendes Zubehör zur Mikrap CPU-X255LCD/NET ist erhältlich:

Artikel-Nr:	Benennung:	Bemerkung:
MN-90102	Manual CPU-X255LCD/NET	Deutsches Handbuch
MN-90103	Systemhandbuch StrongARM	Deutsches Handbuch
MN-90105	Treiberhandbuch StrongARM	Deutsches Handbuch
MN-10573	System Maintenance Tool SMT	
MN-10678	PC-Handy JTAG komplett	inkl. Handkoffer
MN-10630	MMC FlashCard 32 MByte	

2. Eigenschaften

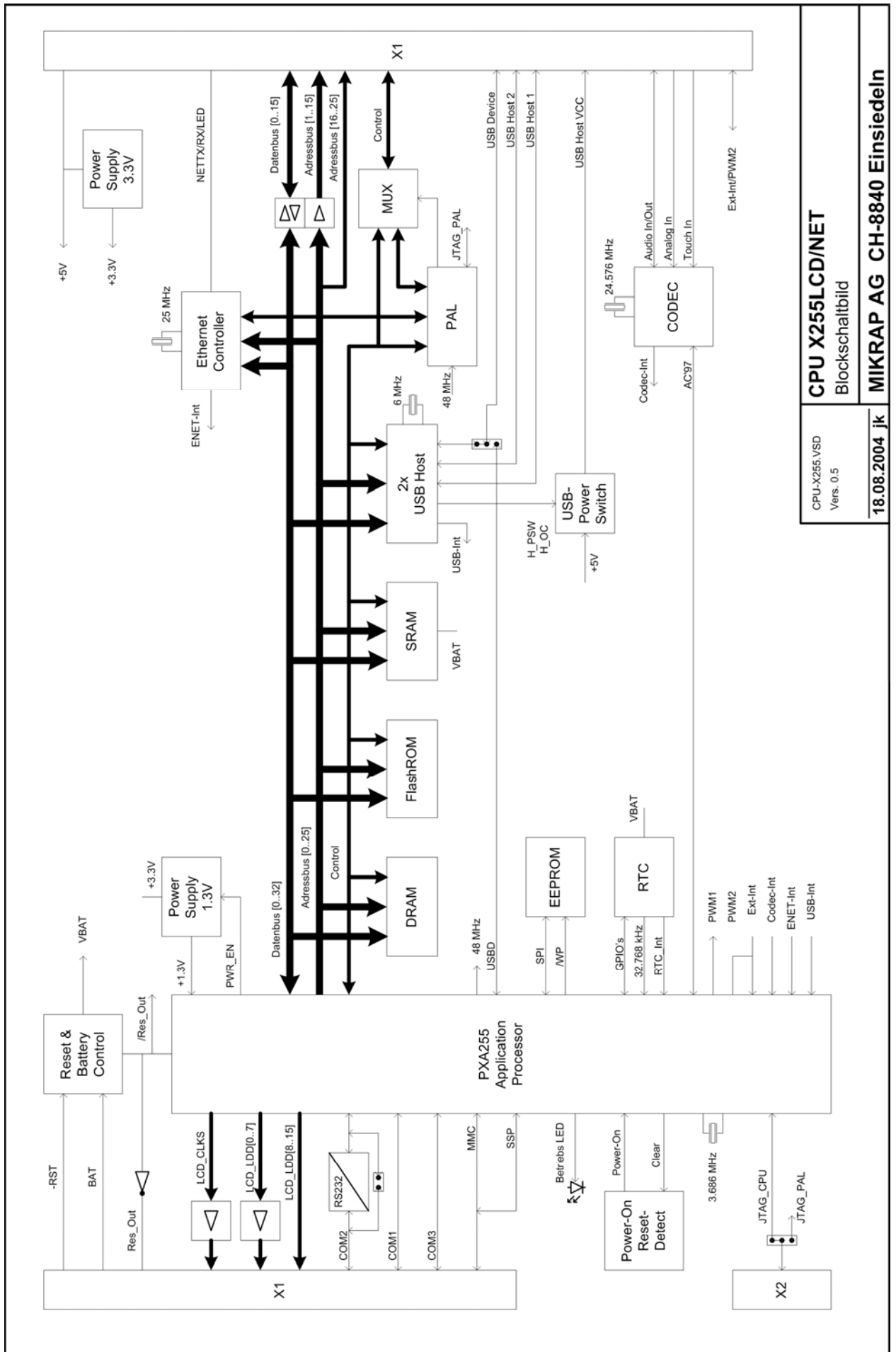
Das Mikrap Modul CPU-X255LCD/NET weist folgende Eigenschaften auf:

- 398 MHz low-power embedded RISC Microcontroller PXA255 von Intel
- Spannungserzeugung ab +5 Volt mit Resetlogik
- programmierbarer integrierter Watchdog
- LED Betriebsanzeige
- bis zu 32 kByte seriell EEPROM
- bis zu 64 MByte Flash-EPROM
- bis zu 64 MByte dynamisches RAM
- bis zu 2 MByte statisches RAM
- direkter Anschluss von externem MMC Einschub für FlashCards bis 256 MByte
- serielle Echtzeituhr
- Batterie-Backup Steuerung für Echtzeituhr und SRAM
- direkter Anschluss von Farb-TFT LCD-Anzeigen
passive Farb-STN sowie Graustufen-LCD werden ebenfalls unterstützt
- direkter Anschluss von resistivem 4-Draht Touch-screen
- direkter Anschluss von Lautsprecher
- direkter Anschluss von Mikrofon
- serielle Schnittstelle COM1 in Logikpegel
- serielle Schnittstelle COM2 in RS232 Pegel
- serielle Schnittstelle COM3 in Logikpegel
- zwei USB Host Schnittstellen
- USB Device Schnittstelle
- 10/100 MBit Ethernet Schnittstelle
- 3 analoge Eingänge
- 26-Bit Adressbus
- 16-Bit Datenbus
- bis zu 32 frei konfigurierbare digitale Ein-/Ausgänge z.B. für
extended LCD Signale, MMC Interface, extended COM Signale,
PWM Signale zur Programmierung von Helligkeit und Kontrast der LCD, etc.
- max. 13 digitale Ausgänge anstelle des LC-Displays
- JTAG Schnittstelle für Microcontroller

Achtung:

Wir behalten uns Änderungen zur Verbesserung unserer Produkte ausdrücklich vor. Dies trifft vor allem auf Maskenänderungen der verwendeten Controller zu, welche ohne Vorankündigung in die Serienprodukte einfließen können.

Blockschaltbild:



CPU X255LCD/NET
 Blockschaltbild
 CPU-X255.VSD
 Vers. 0.5
 18.08.2004 jk
MIKRAP AG CH-8840 Einsiedeln

3. Inbetriebnahme

Vorsicht:

Diese Baugruppe enthält Bauelemente, welche auf statische Entladungen empfindlich sind. Um eine Beschädigung der Baugruppe zu vermeiden, sind die entsprechenden Vorschriften zur Verpackung und Handhabung unbedingt zu beachten.

Der Einbau der Baugruppe in Geräte hat unter Berücksichtigung sämtlicher in den Destinationsländern anwendbarer Normen und Vorschriften zu erfolgen. Entsprechende Massnahmen zur Erfüllung solcher Anforderungen (z. B. betreffend EMV, EMB, usw.) sind durch den Hersteller dieser Geräte zu treffen.

Achtung:

Diese Baugruppe wird unter Verwendung von hochintegrierter SMD Technologie gefertigt. Eine mechanische Belastung der Bauelemente ist in keinem Falle zulässig.

1.0 Speisung

Damit das Modul arbeiten kann, sind mindestens folgende Anschlüsse zu beschalten:

- X1/1, X1/63, X1/65, X1/127 +5V Speisung +5 VDC $\pm 5\%$
- X1/2, X1/64, X1/66, X1/128 GND Speisung 0 VDC

2.0 LCD-Anzeige

Der Anschluss einer LCD-Anzeige erfolgt über eine anwendungsspezifische Verdrahtung. Siehe Display Interface Tabellen im Anhang. Der Displaytreiber, welcher das Display entsprechend seinen Anforderungen ansteuert, muss displayspezifisch konfiguriert werden.

Achtung:

Displaytreiber und Display müssen einwandfrei aufeinander abgestimmt sein. Andernfalls kann eine Beschädigung des Displays und/oder der Baugruppe nicht ausgeschlossen werden!

3.0 Flash-Download

Mit der Verwendung von fest eingelöteten Flash-ROM Speicherbausteinen als Programmspeicher muss ein Werkzeug zur Verfügung gestellt werden, welches die Initialprogrammierung des Flash-ROM's unterstützt. Zu diesem Zweck wird auf den Mikrap Baugruppen die für den funktionalen Test implementierte JTAG-Schnittstelle der MCU PXA255 verwendet. Über diese Schnittstelle lassen sich via seriellen Bitstrom die Input- und Output-Pin's der MCU lesen bzw. setzen.

Das Mikrap PC-Handy JTAG umfasst die entsprechende Hard- und Software, welche einen Download in den Flash-ROM Speicher der Target Baugruppe unterstützen (Siehe Zubehör).

4.0 Betriebssystem Windows CE

Die Echtzeitfähigkeit von Windows CE wurde in der Version .NET deutlich verbessert. Trotzdem können wir echtzeitfähiges Verhalten in Verbindung mit Windows CE nur mit unserer Echtzeitunterstützung MNSys garantieren.

Windows CE unterstützt das Programmieren mit den Microsoft Entwicklungswerkzeugen für Visual Basic, Visual C++ und Visual J++.

Das Betriebssystem Windows CE ist üblicherweise auf dem CPU-Modul bereits vorinstalliert.

Ein Up-date des Betriebssystems ist über die Systemschnittstelle COM2 oder MMC möglich. Dazu wird das System-Maintenance-Tool SMT verwendet (Siehe Zubehör).

5.0 Soft-SPS CoDeSys

Die integrierte Entwicklungsumgebung CoDeSys for Automation Alliance von 3S erlaubt die komfortable SPS Programmgenerierung gemäss IEC 1131-3. CANopen sowie die Einbindung von C/C++ Code wird unterstützt.

Das Laufzeitsystem PLCRT sowie die CoDeSys SPS Anwendung werden über die Systemschnittstelle COM2, Ethernet oder MMC in den Flash-Speicher des CPU-Moduls geladen.

Eine Runtime-Lizenz für die CoDeSys SPS ist bei einem Teil der Mikrap Module bereits im Hardwarepreis enthalten.

6.0 Visualisierung CoDeSys

Die integrierte Entwicklungsumgebung CoDeSys for Automation Alliance von 3S erlaubt die effiziente Konfiguration von grafischen Benutzeroberflächen mit oder ohne Touch-screen. Es werden die Visualisierungsvarianten Target-Visu und Web-Visu unterstützt.

Die CoDeSys Visu Anwendung wird über die Systemschnittstelle COM2, Ethernet oder MMC in den Flash-Speicher des CPU-Moduls geladen.

Eine Runtime-Lizenz für die CoDeSys Visu ist bei einem Teil der Mikrap Module bereits im Hardwarepreis enthalten.

7.0 Visualisierung QVis

Das Visualisierungstool QVis für Windows von Kinz Elektronik erlaubt die effiziente Konfiguration von grafischen Benutzeroberflächen mit oder ohne Touch-screen. Das Einbinden von beliebigen grafischen Fonts wie Chinesisch, Mandarin, etc. sowie die online Sprachumschaltung werden unterstützt.

Das Laufzeitsystem QVisRT und das QVis Projekt werden über die Systemschnittstelle COM2, Ethernet oder MMC in den Flash-Speicher der CPU geladen.

Eine Runtime-Lizenz für QVis ist bei einem Teil der Mikrap Module bereits im Hardwarepreis enthalten.

4. Funktionsbeschreibung

1.0 Prozessor

Auf dem Board wird der 398 MHz low-power RISC-Controller XScale PXA255 mit integriertem LCD-Controller von Intel eingesetzt. Der auf der ARM Architektur basierende RISC Kern weist das zur Zeit beste am Markt verfügbare Verhältnis zwischen Rechnerleistung und Verlustleistung auf. Siehe Literaturverzeichnis im Anhang.

Die General Purpose I/Os GPIO des PXA255 werden wie folgt verwendet:

GPIO	Signal	Typ	Alternativ	Typ	Bemerkung
0	nc	-	-	-	Reserviert für MNSys
1	GPIO1	I/O	GP_RST	IN	mit GPIO17 verbunden
2	VPEN	OUT	-	-	Enable für Flashprogrammierung
3	SDA_RTC	I/O	-	-	Real Time Clock
4	SCL_RTC	OUT	-	-	Real Time Clock
5	INT_ENET	IN	-	-	Interrupt Ethernet
6	GPIO6	I/O	SPI_CLK0	OUT	MMC, mit GPIO23 verbunden (Alternativ zu SSP)
7	48MHz	OUT	-	-	Clock für PAL
8	GPIO8	I/O	SPI_CS0	OUT	MMC, mit GPIO24 verbunden (Alternativ zu SSP)
9	-PFO	-	-	-	Batterieüberwachung
10	LCD_-FPVCC	OUT	-	-	Enable für die Buffer der LCD-Signale
11	GPIO11	OUT	LCD_FPVEE	OUT	
12	LED	OUT	-	-	
13	INT_RTC	-	-	-	Real Time Clock
14	nc	-	-	-	
15	SRAM_-CS1	OUT	-	-	
16	GPIO16	I/O	PWM1	OUT	LCD-Kontrast
17	GPIO17	I/O	PWM2	OUT	LCD-Helligkeit, mit GPIO1 verbunden
18	RDY	IN	-	-	Ready
19	nc	-	-	-	
20	GPIO20	I/O	DREQ0	IN	
21	INT_USB	OUT	-	-	Interrupt USB
22	INT_CODEC	OUT	-	-	Interrupt CODEC
23	GPIO23	I/O	SSP Clock	OUT	mit GPIO6 verbunden (Alternativ zu MMC)
24	GPIO24	I/O	SSP Frame	OUT	mit GPIO8 verbunden (Alternativ zu MMC)
25	GPIO25	I/O	SSP Transmit	OUT	mit MMCMD verbunden (Alternativ zu MMC)
26	GPIO26	I/O	SSP Receive	IN	mit MMDAT verbunden (Alternativ zu MMC)
27	nc	-	-	-	
28	BITCLK	IN	-	-	CODEC
29	SDATA_IN0	IN	-	-	CODEC
30	SDATA_OUT	OUT	-	-	CODEC
31	SYNC	OUT	-	-	CODEC
32	STS	IN	-	-	Status der Flash
33	GPIO33	I/O	-CS5	OUT	
34	GPIO34	IN	RXDCOM2	I/O	GPIO34 / Serial COM2
35	GPIO35	IN	-CTSCOM2	I/O	GPIO35 / Serial COM2
36	nc	-	-	-	
37	nc	-	-	-	
38	nc	-	-	-	
39	GPIO39	OUT	TXDCOM2	I/O	GPIO39 / Serial COM2
40	nc	-	-	-	
41	GPIO41	OUT	-RTSCOM2	I/O	GPIO41 / Serial COM2

GPIO	Signal	Typ	Alternativ	Typ	Bemerkung
42	GPIO42	I/O	RXDCOM1	IN	
43	GPIO43	I/O	TXDCOM1	OUT	
44	GPIO44	I/O	-CTSCOM1	IN	
45	GPIO45	I/O	-RTSCOM1	OUT	
46	GPIO46	I/O	RXDCOM3	IN-	
47	GPIO47	I/O	TXDCOM3	OUT	
48	nc	-	-	-	
49	-PWE	OUT	-	-	Write Enable extern
50	GPIO50	I/O	-CTSCOM3	IN	
51	GPIO51	I/O	-RTSCOM3	OUT	
52	GPIO52	OUT	-	-	Clear Power On Reset Detect
53	GPIO53	IN	-	-	Power On Reset Detect Ausgang
54	EE_-WP	OUT	-	-	EEPROM
55	nc	-	-	-	
56	nc	-	-	-	
57	nc	-	-	-	
58	GPIO58	OUT	LCD_LDD0	OUT	
59	GPIO59	OUT	LCD_LDD1	OUT	
60	GPIO60	OUT	LCD_LDD2	OUT	
61	GPIO61	OUT	LCD_LDD3	OUT	
62	GPIO62	OUT	LCD_LDD4	OUT	
63	GPIO63	OUT	LCD_LDD5	OUT	
64	GPIO64	OUT	LCD_LDD6	OUT	
65	GPIO65	OUT	LCD_LDD7	OUT	
66	GPIO66	I/O	LCD_LDD8	OUT	
67	GPIO67	I/O	LCD_LDD9	OUT	
68	GPIO68	I/O	LCD_LDD10	OUT	
69	GPIO69	I/O	LCD_LDD11	OUT	
70	GPIO70	I/O	LCD_LDD12	OUT	
71	GPIO71	I/O	LCD_LDD13	OUT	
72	GPIO72	I/O	LCD_LDD14	OUT	
73	GPIO73	I/O	LCD_LDD15	OUT	
74	GPIO74	OUT	LCD_FCLK	OUT	
75	GPIO75	OUT	LCD_LCLK	OUT	
76	GPIO76	OUT	LCD_PCLK	OUT	
77	GPIO77	OUT	LCD_BIAS	OUT	
78	USB_-CS	OUT	-	-	
79	ENET_-CS3	OUT	-	-	
80	GPIO80	I/O	-CS4	OUT	
81	EE_SCK	OUT	-	-	EEPROM
82	EE_/CS	OUT	-	-	EEPROM
83	EE_SI	IN	-	-	EEPROM
84	EE_SO	OUT	-	-	EEPROM

nc = not connected

2.0 Power-on Reset und Batterie backup

Die Power-on Reset Schaltung garantiert ein sicheres Aufstarten des Prozessors und der Peripherie nach dem Einschalten der Speisung oder nach einem Spannungsunterbruch sowie nach einem Reset über den Pin -RST (X1/4).

Die unterbrechungsfreie Umschaltung der Versorgungsspannung +5V auf die Batteriespannung BAT einer externen 3 Volt Lithium-Batterie bei Spannungsunterbruch ist sichergestellt. Die RTC läuft weiter und der Inhalt des statischen RAM bleibt erhalten.

Die Batterieüberwachung detektiert, ob eine Batterie angeschlossen ist, bzw ob sie entladen ist. Dieses Signal -PFO kann am GPIO9 des PXA255 ausgewertet werden. Durch die Überwachung wird die Batterie mit 2.3 M Ω belastet.

BAT-Spannung [V]	GPIO9, -PFO
> 2.67	HIGH
2.67 > BAT > 2.51	undefiniert
< 2.51	LOW

Die Lebensdauer der angeschlossenen Batterie hängt vom Stromverbrauch und der Temperatur ab. Die nachfolgende Tabelle gibt an, wieviel Strom die einzelnen Bauteile benötigen.

Bauteil	VCC > VBAT		VCC < VBAT	
	Typ 25°C [μ A]	Max 70°C [μ A]	Typ 25°C [μ A]	Max 70°C [μ A]
MAX704	0,02 (max)	0,02	0,05	5
1 x SRAM 256x16	-	-	0,5	3
RTC RX8564	-	-	0,275	0,7
Batterieüberwachung	1,3	1,3	1,3	1,3
Total 512 kByte SRAM	1,32	1,32	2,125	10,0
MAX704	0,02 (max)	0,02	0,05	5
1 x SRAM 512x16	-	-	0,5	6
Batterieüberwachung	1,3	1,3	1,3	1,3
Total 1 MByte SRAM	1,32	1,32	2,125	13,0
MAX704	0,02 (max)	0,02	0,05	5
1 x SRAM 1Mx16	-	-	2,5	15
RTC RX8564	-	-	0,275	0,7
Batterieüberwachung	1,3	1,3	1,3	1,3
Total 2 MByte SRAM	1,32	1,32	4,125	22,0

3.0 Reset-Detect

Zur Unterscheidung von Kalt- oder Warmstart wurde eine Reset-Detect Schaltung integriert. Nach Power-on ist der Ausgang der Schaltung immer Low. Durch ein Clear (Low) am Eingang kann die Software diesen Ausgang auf High schalten. Bei einem erneuten Reset kann die Software nachträglich feststellen, ob es sich um einen Power-on Reset oder um eine andere Resetursache (Ausgang der Schaltung auf High) gehandelt hatte. Ruhezustand des Clear Eingang ist High.

4.0 **Watch-dog**

Das im PXA255 integrierte OS-Timer Modul erlaubt die Programmierung eines Watch-dog Timers. Dieser erzeugt einen Reset des PXA255. Der Reset wird extern am Signal RES_OUT ausgegeben und erlaubt damit ein definiertes Rücksetzen der Peripherie.

5.0 **Betriebsanzeige**

Die Software kann über die LED-Betriebsanzeige verschiedene Betriebszustände (z.B. durch blinken) anzeigen.

6.0 **Flash-EPROM**

Der Flash-ROM Bereich ist 32-Bit organisiert. Auf dem Board können bis zu 64 MByte segmentierter Flash-EPROM Speicher fest bestückt werden.

Folgende Varianten mit Intel-Strata Flash sind erhältlich:

Speichergrösse	Asynchrone Typen	Synchrone Typen
16 MByte	28F640J3	28F640K3
32 MByte	28F128J3	28F128K3
64 MByte	28F256J3	28F256K3

7.0 **Dynamisches RAM**

Der DRAM-Bereich ist 32-Bit organisiert. Auf dem Board können 16, 32 oder 64 MByte dynamisches SDRAM bestückt werden. Der zyklische Refresh des DRAM's wird durch das Dynamic Memory Interface des PXA255 vorgenommen.

8.0 **Statisches RAM**

Der SRAM-Bereich ist 16-Bit organisiert. Auf dem Board können 512 kByte, 1 MByte oder 2 MByte statisches RAM mit Batteriepufferung bestückt werden.

9.0 **EEPROM**

Optional kann auf dem Board bis zu 32 kByte seriellles EEPROM mit SPI Busprotokoll bestückt werden. Das SPI Busprotokoll wird mit dem Periferiemodul NSSP des PXA255 erzeugt.

10.0 **MultiMediaCard Controller**

Der Multimedia Card Controller ist ein Periferiemodul des PXA255. Die Signale sind am Stecker X1 verfügbar und auf dem Modul mit derjenigen des SSP-Schnittstelle verbunden. Die Software muss sicherstellen, dass das jeweils nicht benutzte Modul inaktiv bleibt.

Unterstützt wird der direkte Anschluss von einem externen MMC Einschub für wechselbare FlashCards bis 256 MByte.

11.0 **Real Time Clock (RTC)**

Die serielle Echtzeituhr ist am PXA255 angeschlossen. Sie kann über eine externe Batterie gepuffert werden. Die Genauigkeit der Uhr beträgt -20..+30 ppm bei 25°C Umgebungstemperatur. Die Schaltjahrberechnung erfolgt korrekt bis ins Jahr 2099.

Die RTC verfügt über einen Clock-Ausgang (CLKOUT), der als Source für den vom PXA255 benötigten 32,768 kHz Clock verwendet wird.

Der Interrupt-Ausgang der RTC ist an den GPIO13 des PXA255 geführt. Damit können die Timer und Alarm-Funktionen der RTC genutzt werden.

12.0 **Anzeigentreiber und Video-RAM**

Der im PXA255 integrierte LCD-Controller verwendet einen Teil des DRAM Speichers als Video-RAM und unterstützt LCD-Anzeigen mit bis zu 1024 x 1024 Pixel Auflösung. Mikrap unterstützt VGA (640 x 480 Pixel) und Viertel-VGA (320 x 240 Pixel) Anzeigen. Die Signale sind am Stecker X1 verfügbar und stehen je nach Bestückung in 5V oder 3.3V Pegel zur Verfügung.

Folgende Display Typen werden unterstützt:

- Graustufen STN-Displays, single oder dual scan, 4- oder 8-Bit Interface mit bis zu 16 Graustufen.
- Farb-STN Displays, single oder dual scan, 8-Bit Interface mit 256 Farben aus 4096.
- Farb-TFT Displays, 12-Bit Interface mit 256 Farben aus 4096.

13.0 **Touch-screen**

Das Touch-screen Interface des CODEC ist an der Stiftleiste X1 verfügbar. Es erlaubt den direkten Anschluss eines resistiven 4-Draht Touch-panels mit beliebigen Abmessungen.

14.0 **Lautsprecher**

Der Lautsprecher Ausgang des CODEC ist an der Stiftleiste X1 verfügbar. Er erlaubt den direkten Anschluss eines Lautsprechers mit einer Impedanz von 8 oder 16 Ω .

15.0 **Mikrofon**

Der Mikrofon Eingang des CODEC ist an der Stiftleiste X1 verfügbar.

16.0 **Asynchrone Serielle Schnittstellen**

Die serielle Schnittstelle COM1 wird vom BTUART des PXA255 angesteuert. Alternativ zum BTUART kann der HWUART des PXA255 verwendet werden. Es stehen die Signale RxD, TxD, RTS und CTS an der Stiftleiste X1 zur Verfügung. Die Signale sind 3.3V Pegel und 5V save.

Die serielle Schnittstelle COM2 wird vom FFUART des PXA255 angesteuert. Es stehen die Signale RxD, TxD, RTS und CTS an der Stiftleiste X1 zur Verfügung. Die Signale sind RS232 Standard. Als Bestückungsvariante stehen die Signale im 3.3V Logikpegel zur Verfügung. Diese können dann alternativ auch als GPIO genutzt werden, sind jedoch nicht 5V save!

Die serielle Schnittstelle COM3 wird vom STUART des PXA255 angesteuert. Der STUART stellt die Signale RxD und TxD zur Verfügung. RTS und CTS werden durch

die GPIO's 50 & 51 realisiert. Die Signale stehen an der Stiftleiste X1 in 3.3V Logikpegel, 5V save zur Verfügung.

Die UART's verfügen über je 64 Byte Transmit- und Receive-FIFO. Die maximale Baudrate beträgt für COM1 & COM3 921 kBd, für COM2 beträgt sie 230 kBd.

17.0 Universal Serial Bus

Der PXA255 stellt eine USB-Device Schnittstelle zur Verfügung. Diese entspricht dem USB Spezifikation Rev 1.1. Die Signale sind auf die Stiftleiste X1 geführt.

Optional kann ein USB Controller ISP1161A (Philips) bestückt werden. Dieser verfügt über zwei USB Host und einer USB Device Schnittstelle kompatibel zu Spezifikation Rev. 2.0. Damit stehen zusätzlich zwei USB Host Schnittstellen auf der Stiftleiste X1 zur Verfügung. Die USB Device Schnittstelle des ISP1161A ersetzt in diesem Fall diejenige des PXA255.

18.0 SSP-Schnittstelle

Die SSP-Schnittstelle ist ein Periferiemodul des PXA255. Die Signale sind am Stecker X1 verfügbar und auf dem Modul mit den Signalen des MultimediaCard Controllers verbunden. Die Software muss sicherstellen, dass das jeweils nicht benutzte Modul inaktiv bleibt.

19.0 Ethernet-Controller

Der Ethernet-Controller LAN91C111 ist direkt am PXA255 angeschlossen. Die 10/100 MBit Ethernet Schnittstelle steht auf der Stiftleiste X1 zur Verfügung.

20.0 Digitale I/O's

Maximal 45 digitale GPIO's stehen auf der Stiftleiste X1 zur Verfügung. Folgende Einschränkungen gelten:

- 13 GPIO's sind gebuffert und nur als TTL Ausgang verwendbar.
- 16 GPIO's sind 5V Save
- 16 GPIO's sind 3.3V Pegel

Die GPIO's sind anwendungsspezifisch frei programmierbar und lassen sich zum Beispiel für folgende Funktionen verwenden:

- extended LCD Signale
- MMC Interface
- extended COM Signale
- PWM Signale zur Programmierung von Helligkeit und Kontrast der LCD

21.0 Analoge Eingänge

Die drei analogen Eingänge ADC0 bis ADC2 des CODEC sind an der Stiftleiste X1 verfügbar. Der 10-Bit ADC weist einen Full-scale Bereich von 0 .. 7,5 Volt auf.

22.0 Bus-Interface

Für externe Erweiterungen ist der Prozessorbus in 3.3 Volt Logikpegel an der Stiftleiste X1 verfügbar. Es sind folgende Signale herausgeführt:

Signal	Bemerkung
A0 bis A25	Adressbus 26 Bit
D0 bis D15	Datenbus 16 Bit, 5V Save
-RST Reset	3.3V Open Drain
-CS4 Chip-select 4	Muss als VLIO programmiert werden.
-CS5 Chip-select 5	Muss als VLIO programmiert werden.
-WE Write enable	
-OE Output enable	
READY Ready	
RD/-WR Read/Write	
-BE0 Byte enable 0	
-BE1 Byte enable 1	

1.0.0 Externe Ein-/Ausgänge

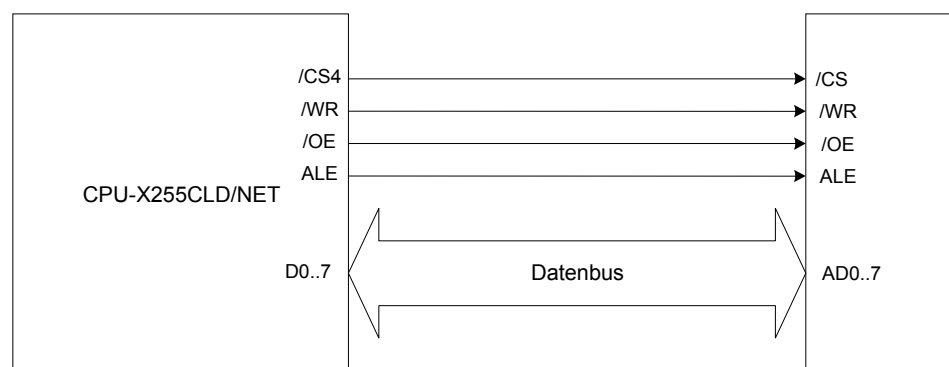
Zusätzliche je 16 digitale Ein- und Ausgänge für z.B. ein Matrix Keyboard mit LED's lassen sich auf einfache Weise über dieses Bus-Interface realisieren. Dazu werden die Signale D0 bis D15, -CS5, -WE und -OE verwendet. Die digitalen Eingänge werden dabei mit dem Signal -OE über einen zusätzlichen externen, auf einer anwendungsspezifischen Basisbaugruppe platzierten 16-fach Bus-Treiber eingelesen. Die digitalen Ausgänge werden über das Signal -WE in ein externes 16-fach Bus-Latch geschrieben.

2.0.0 Externes PAL

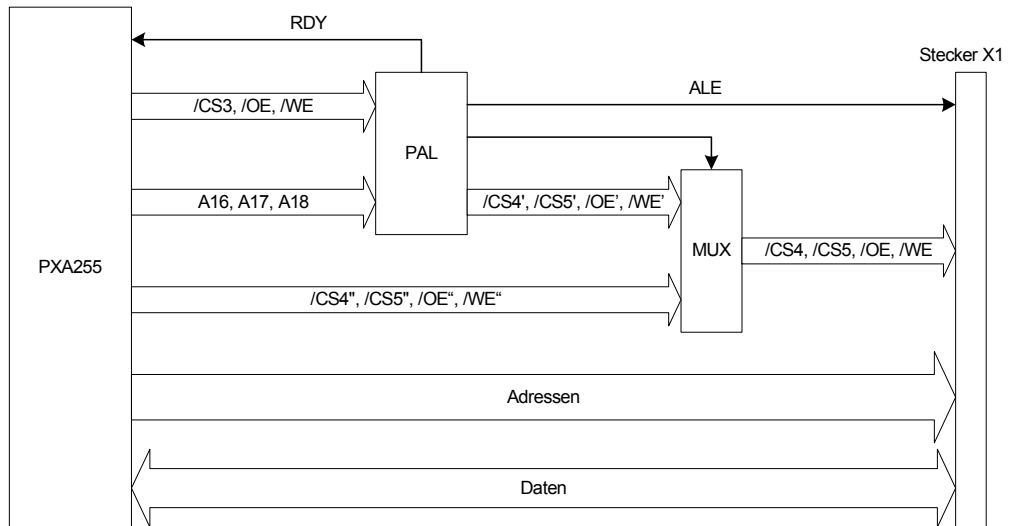
Komplexere zusätzliche Funktionen werden üblicherweise über ein ladbares PAL realisiert. Dieses zusätzliche externe, auf einer anwendungsspezifischen Basisbaugruppe platzierte PAL wird 16 Bit breit an Daten-, Adress- und Controlbus angeschlossen.

3.0.0 Externe Bausteine mit multiplextem Adress/Datenbus

Bausteine, die ein Bus-Interface mit multiplextem Adress- & Datenbus haben, können am CPU-X255LCD/NET Modul folgendermassen angeschaltet werden:



Prinzip der Realisierung auf dem CPU-X255LCD/NET Modul:



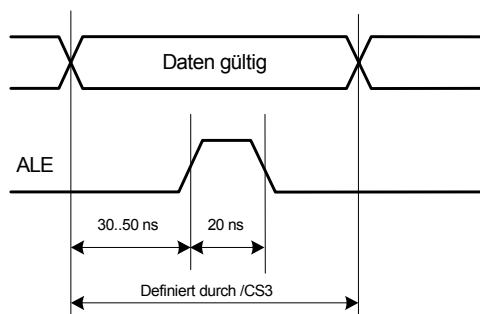
Der Zugriff erfolgt über den /CS3 des PXA255 und wird vom PAL auf /CS4 am Stecker X1 umgesetzt. Die Zugriffsbasisadresse ist die /CS3-Basisadresse + 10000H.

Zum Schreiben und Lesen sind jeweils zwei Zugriffe notwendig:

Zugriffart	Erster Zugriff	Zweiter Zugriff
Lesen	Periferie-Adresse schreiben	Byte lesen
Schreiben	Periferie-Adresse schreiben	Byte schreiben

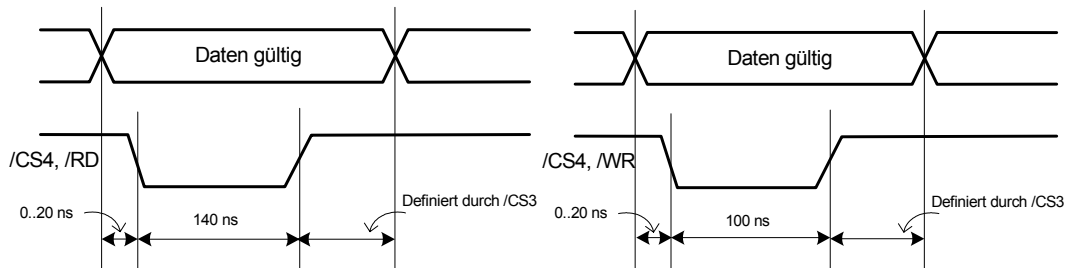
Beim ersten Zugriff wird vom Periferiebaustein die Adresse mit ALE gelatched. Beim zweiten Zugriff wird der Wert gelesen oder geschrieben. Um sicherzustellen, dass die Statesmaschine im PAL zurückgesetzt ist, kann ein einzelner Dummy-Lesezugriff gemacht werden.

Timing des ersten Zugriff - Periferie-Adresse schreiben:



Timing des zweiten Zugriff – Daten lesen/schreiben:

Der Zugriffszyklus wird mit Hilfe des RDY-Eingang des PXA255 verlängert.



Empfohlene Parameter für CS3 des PXA255 bei MEM/LCD-Frequenz = 99,5 MHz:

RT3: 4 (VLIO)
 RBW3: 0
 RDFx3 9
 RDN3: 9
 RRR3: 2

Mit diesen Werten erhält man für den ersten Zugriff (Schreiben) eine Gesamtzeit von 120 ns und für den zweiten Zugriff (Schreiben oder Lesen) von 200 ns.

Achtung:

/CS3 des PXA255 wird auch für den Ethernetcontroller verwendet.

23.0 JTAG Schnittstelle

Die JTAG/Debug Schnittstelle des PXA255 entspricht dem IEEE Standard 1149.1 (IEEE Standard Test Access Port and Boundary-Scan Architecture) und verfügt über Erweiterungen zum Software debuggen. Die Signale sind auf den Stecker X2 herausgeführt. Dies ermöglicht mit modulexterner Hard- und Software einen detaillierten Systemtest, die Initialprogrammierung der Flash-EPROM's sowie die Nutzung der Debug-Funktionalität des PXA255.

5. Schnittstellenbeschreibung

1.0 Streckerbelegung

1.0.0 Pin-Typen

Typ	Funktion	Bemerkung
IC3	CMOS Eingang 3.3V Pegel	
OC3	CMOS Ausgang 3.3V Pegel	TTL-kompatibel
OCTS3	CMOS Ausgang 3.3V Pegel, Tri-State	TTL-kompatibel
OC5	CMOS Ausgang 5V Pegel	TTL-kompatibel
OCTS5	CMOS Ausgang 5V Pegel, Tri-State	TTL-kompatibel
IOC3	CMOS Bidirektional 3.3V Pegel	
IC3S	CMOS Eingang 3.3V Pegel, 5V Save	TTL-kompatibel
IOC3S	CMOS Bidirektional 3.3V Pegel, 5V Save	TTL-kompatibel
WO3	Wired OR (Open Drain) 3.3V Pegel	
IA	Analog Eingang	
OA	Analog Ausgang	
IOA	Analog Bidirektional	
SUP	Speisungs Pin	

1.1.1 Stiflleiste X1

Das CPU-Modul verfügt an seiner Unterseite über zwei 32-polige Stiflleisten X1 mit total 128 Anschlüssen. An diesen stehen alle für eine Applikation notwendigen Signale zur Verfügung.

Pin	Signal	Typ	Bemerkung		
1	+5V	SUP	Speisung +5 VDC		
2	GND	SUP	Speisung 0 VDC		
3	BAT	SUP	3,0V Lithium Battery		
4	-RST	WO3	Push-button Reset		
5	RES_OUT	OC3	Reset Out		
6	TSPY	IA	Touch-screen		
7	TSMY	IA	Touch-screen		
8	TSPX	IA	Touch-screen		
9	TSMX	IA	Touch-screen		
10	MMCMD	GPIO25	OC3	IOC3	MultiMediaCard, SSPTXD0 / GPIO25
11	MMDAT	GPIO26	IC3	IOC3	MultiMediaCard, SSPRXD / GPIO26
12	MMCLK	GPIO6 & 23	OC3	IOC3	MultiMediaCard, SSPCLK / GPIO6 & 23
13	MMCCS0	GPIO8 & 24	OC3	IOC3	MultiMediaCard, SSPCS0 / GPIO8 & 24
14	SPEAKER+		OA		Speaker Output
15	SPEAKER-		OA		Speaker Output
16	D0		IO3S		Data Bus
17	D1		IO3S		Data Bus
18	D2		IO3S		Data Bus
19	D3		IO3S		Data Bus
20	D4		IO3S		Data Bus
21	D5		IO3S		Data Bus
22	D6		IO3S		Data Bus
23	D7		IO3S		Data Bus
24	D8		IO3S		Data Bus

Pin	Signal		Typ		Bemerkung
25	D9		IO3S		Data Bus
26	D10		IO3S		Data Bus
27	D11		IO3S		Data Bus
28	D12		IO3S		Data Bus
29	D13		IO3S		Data Bus
30	D14		IO3S		Data Bus
31	D15		IO3S		Data Bus
32	MICP		IA		Mikrofon Eingang
33	GPIO20	DREQ0	IOC3	IC3	GPIO20 / DMA Request0
34	GND		SUP		Speisung 0 VDC
35	ALE		OC3		Address Latch Enable
36	A1		OC3		Address Bus gebuffert
37	A2		OC3		Address Bus gebuffert
38	A3		OC3		Address Bus gebuffert
39	A4		OC3		Address Bus gebuffert
40	A5		OC3		Address Bus gebuffert
41	A6		OC3		Address Bus gebuffert
42	A7		OC3		Address Bus gebuffert
43	A8		OC3		Address Bus gebuffert
44	A9		OC3		Address Bus gebuffert
45	A10		OC3		Address Bus gebuffert
46	A11		OC3		Address Bus gebuffert
47	A12		OC3		Address Bus gebuffert
48	A13		OC3		Address Bus gebuffert
49	A14		OC3		Address Bus gebuffert
50	A15		OC3		Address Bus gebuffert
51	A16		OC3		Address Bus ¹⁾
52	A17		OC3		Address Bus ¹⁾
53	A18		OC3		Address Bus ¹⁾
54	A19		OC3		Address Bus ¹⁾
55	A20		OC3		Address Bus ¹⁾
56	A21		OC3		Address Bus ¹⁾
57	A22		OC3		Address Bus ¹⁾
58	A23		OC3		Address Bus ¹⁾
59	A24		OC3		Address Bus ¹⁾
60	A25		OC3		Address Bus ¹⁾
61	D+_USB3D		IOA		USB+ (Device)
62	D-_USB3D		IOA		USB- (Device)
63	+5V		SUP		Speisung +5 VDC
64	GND		SUP		Speisung 0 VDC
65	+5V	-	SUP	-	Speisung +5 VDC
66	GND	-	SUP	-	Speisung 0 VDC
67	TX+_NET1		OA		Ethernet NET1
68	TX-_NET1		OA		Ethernet NET1
69	RX+_NET1		IA		Ethernet NET1
70	RX-_NET1		IA		Ethernet NET1
71	-LEDA_NET1		OA		Ethernet LED A
72	-LEDB_NET1	-	OA	-	Ethernet LED B
73	CTSCOM2	GPIO35 ³⁾	IA	IOC3	Serial COM2 RS232 Pegel / GPIO35
74	RTSCOM2	GPIO41 ³⁾	OA	IOC3	Serial COM2 RS232 Pegel / GPIO41
75	GPIO50	-CTSCOM3	IOC3S	IC3S	GPIO50 / Serial COM3

Pin	Signal		Typ		Bemerkung
76	GPIO51	-RTSCOM3	IOC3S	OC3	GPIO51 / Serial COM3
77	GPIO44	-CTSCOM1	IOC3S	IC3S	GPIO44 / Serial COM1
78	GPIO45	-RTSCOM1	IOC3S	OC3	GPIO45 / Serial COM1
79	GPIO42	RXDCOM1	IOC3S	IC3S	GPIO 42 / Serial COM1
80	GPIO43	TXDCOM1	IOC3S	OC3	GPIO 43 / Serial COM1
81	GPIO46	RXDCOM3	IOC3S	IC3S	GPIO 46 / Serial COM3
82	GPIO47	TXDCOM3	IOC3S	OC3	GPIO 47 / Serial COM3
83	-RXDCOM2	GPIO34 ³⁾	IA	IOC3	Serial COM2 RS232Pegel / GPIO34
84	-TXDCOM2	GPIO39 ³⁾	OA	IOC3	Serial COM2 RS232Pegel / GPIO39
85	ADC2		IA		Analog Input 2
86	ADC1		IA		Analog Input 1
87	ADC0		IA		Analog Input 0
88	LCD_LDD10 ²⁾	GPIO68	OCS	IOC3S	LCD Anzeige / GPIO68
89	LCD_LDD11 ²⁾	GPIO69	OC3	IOC3S	LCD Anzeige / GPIO69
90	LCD_FPVEE	GPO11	OCTS5 ⁴⁾	OCTS5 ⁴⁾	LCD Anzeige / GPO11
91	LCD_-FPVCC	-	OC3	-	LCD Anzeige
92	GPIO16	PWM1	IOC3	OC3	GPIO16 / LCD-Kontrast
93	GPIO1 & 17	PWM2	IOC3	OC3	GPIO1 & 17 / LCD-Helligkeit
94	LCD_LDD0 ²⁾	GPO58	OCTS5 ⁴⁾	OCTS5 ⁴⁾	LCD Anzeige / GPO58
95	LCD_LDD1 ²⁾	GPO59	OCTS5 ⁴⁾	OCTS5 ⁴⁾	LCD Anzeige / GPO59
96	LCD_LDD2 ²⁾	GPO60	OCTS5 ⁴⁾	OCTS5 ⁴⁾	LCD Anzeige / GPO60
97	LCD_LDD3 ²⁾	GPO61	OCTS5 ⁴⁾	OCTS5 ⁴⁾	LCD Anzeige / GPO61
98	GND		SUP		Speisung 0 VDC
99	LCD_LDD4 ²⁾	GPO62	OCTS5 ⁴⁾	OCTS5 ⁴⁾	LCD Anzeige / GPO62
100	LCD_LDD5 ²⁾	GPO63	OCTS5 ⁴⁾	OCTS5 ⁴⁾	LCD Anzeige / GPO63
101	LCD_LDD6 ²⁾	GPO64	OCTS5 ⁴⁾	OCTS5 ⁴⁾	LCD Anzeige / GPO64
102	LCD_LDD7 ²⁾	GPO65	OCTS5 ⁴⁾	OCTS5 ⁴⁾	LCD Anzeige / GPO65
103	LCD_FCLK ²⁾	GPO74	OCTS5 ⁴⁾	OCTS5 ⁴⁾	LCD Anzeige / GPO74
104	LCD_LCLK ²⁾	GPO75	OCTS5 ⁴⁾	OCTS5 ⁴⁾	LCD Anzeige / GPO75
105	LCD_PCLK ²⁾	GPO76	OCTS5 ⁴⁾	OCTS5 ⁴⁾	LCD Anzeige / GPO76
106	LCD_BIAS ²⁾	GPO77	OCTS5 ⁴⁾	OCTS5 ⁴⁾	LCD Anzeige / GPO77
107	LCD_LDD12 ²⁾	GPIO70	OC3	IOC3S	LCD Anzeige / GPIO70
108	LCD_LDD13 ²⁾	GPIO71	OC3	IOC3S	LCD Anzeige / GPIO71
109	LCD_LDD14 ²⁾	GPIO72	OC3	IOC3S	LCD Anzeige / GPIO72
110	LCD_LDD15 ²⁾	GPIO73	OC3	IOC3S	LCD Anzeige / GPIO73
111	LCD_LDD8 ²⁾	GPIO66	OC3	IOC3S	LCD Anzeige / GPIO66
112	LCD_LDD9 ²⁾	GPIO67	OC3	IOC3S	LCD Anzeige / GPIO67
113	D+_USB2H		IOA		USB2 Host/Device Schnittstelle
114	D-_USB2H		IOA		USB2 Host/Device Schnittstelle
115	VCC_USB1		OA		Speisung USB1
116	VCC_USB2		OA		Speisung USB2
117	D+_USB1H		IOA		USB1 Host Schnittstelle
118	D-_USB1H		IOA		USB1 Host Schnittstelle
119	READY		IC3S		Ready
120	RD/-WR		OC3		Read / Write
121	-BE0		OC3		Byte enable 0 (D0..7)
122	-BE1		OC3		Byte enable 1 (D8..15)
123	-CS4	GPIO80	OC3	IOC3	external Chip-select 4 / GPIO80
124	-CS5	GPIO33	OC3	IOC3	external Chip-select 5 / GPIO33
125	-OE		OC3		external Output enable
126	-WE		OC3		external Write enable

Pin	Signal	Typ	Bemerkung
127	+5V	SUP	Speisung +5 VDC
128	GND	SUP	Speisung 0 VDC

- 1) bei externer Verwendung der Adressen A16..A25 müssen diese möglichst nahe am Modul gebuffert werden.
- 2) Displaytreiber und Display müssen unbedingt aufeinander abgestimmt sein. Andernfalls kann eine Beschädigung des Displays und/oder der Baugruppe nicht ausgeschlossen werden!
- 3) Bestückungsvariante.
- 4) Durch Bestückungsvariante ist 3,3V Logikpegel (OCTS3) möglich.

3.0.0 Stecker X2 (JTAG)

Pin	Signal	Typ	Bemerkung
1	TMS	IC3S	JTAG 3.3V Logikpegel
2	TDI	IC3S	JTAG 3.3V Logikpegel
3	TDO	OC3	JTAG 3.3V Logikpegel
4	TCK	IC3S	JTAG 3.3V Logikpegel
5	-TRST	IC3S	JTAG 3.3V Logikpegel
6	GND	SUP	
7	+3,3V	OA	
8	-RST	IC3S	Reset Input
9	-WE	IC3S	3.3V Logikpegel
10	+5V	OA	+5 VDC

Zur Anwendung der JTAG Schnittstelle siehe Dokumentation des PXA255 (Literaturverzeichnis im Anhang).

Vorsicht:

Der Logikpegel der JTAG Schnittstelle auf dem CPU-X255 Modul weicht von demjenigen des CPU-386 Moduls ab. Um den Anschluss von für CPU-386 Module gelieferten JTAG Adaptern zu verhindern, wurde ein anderer Stecker verwendet.

2. **Anhang**1.0 **Display Interface Tabellen**

CPU Modul		Display's			
X1 Pin	Signal	Hitachi LMG6912 320x240 b/w	NanYa LMGBAT032 320x240 b/w	Sharp LQ057Q3DC TFT 320x240 256k color	Sharp LQ10D42 TFT 640x480 256k color
94	LCD_LDD0	D3 (4)	D3 (4)	B2 (22)	B2 (22)
95	LCD_LDD1	D2 (3)	D2 (3)	B3 (23)	B3 (23)
96	LCD_LDD2	D1 (2)	D1 (2)	B4 (24)	B4 (24)
97	LCD_LDD3	D0 (1)	D0 (1)	B5 (25)	B5 (25)
99	LCD_LDD4			G2 (15)	G2 (15)
100	LCD_LDD5			G3 (16)	G3 (16)
101	LCD_LDD6			G4 (17)	G4 (17)
102	LCD_LDD7			G5 (18)	G5 (18)
111	LCD_LDD8			R2 (8)	R2 (8)
112	LCD_LDD9			R3 (9)	R3 (9)
88	LCD_LDD10			R4 (10)	R4 (10)
89	LCD_LDD11			R5 (11)	R5 (11)
107	LCD_LDD12				
108	LCD_LDD13				
109	LCD_LDD14				
110	LCD_LDD15				
103	LCD_FCLK	FRAME (6)	FRAME (6)	Vsync (4)	Vsync (4)
104	LCD_LCLK	LOAD (8)	LOAD (8)	Hsync (3)	Hsync (3)
105	LCD_PCLK	CP (9)	CP (9)	CK (2)	CK (2)
106	LCD_BYAS			ENAB (27)	ENAB (27)
90	LCD_FPVEE	DISP OFF (5)	DISP OFF (5)		
91	-FPVCC	1)	1)		
92	PWM1	2)	2)		
93	PWM2	3)	3)		
98	GND	VSS (11) FGND (14)	VSS (11) FGND (14)	GND (1, 5, 6, 7, 12, 13, 14, 19, 20, 21, 26, 32, 33) U/D (31)	GND (1, 5, 6, 7, 12, 13, 14, 19, 20, 21, 26, 32, 33) U/D (31)

ext. Signale				
VCC 5 Volt	VDD (10)	VDD (10)		VCC (28, 29) R/L (30)
VCC 3,3 Volt			VCC (28, 29) R/L (30)	
VEE	VEE (12) V0 (13)	VEE (12) V0 (13)		

- 1) Signal zum Schalten der extern erzeugten Display Speisung VCC
- 2) Signal zum Regeln der extern erzeugten Display Speisung VEE (Kontrasteinstellung)

- 3) Signal zum Regeln der extern erzeugten Switcher Speisung VCC
(Dimmung der Hintergrundbeleuchtung)

2.0 Literaturverzeichnis

Bezugsquellen der wichtigsten Datenbücher:

XScale PXA255:

Dokumente: PXA255 Processor Developer's Manual
PXA255 Processor Design Guide
PXA255 Electrical, Mechanical, and Thermal Specification
PXA255 Application Processors User's Guide
Hersteller: Intel Corp.
www.intel.com

ARM Kernel:

Quelle: Advanced RISC Machines Ltd.
www.arm.com

uP-Supervisor MAX704:

Dokument: Datenblatt MAX704
Hersteller: MAXIM
www.maxim.com

Flash-EPROM Intel DA28F640J3A:

Dokument: Flash Memory Databook 28F320J3, 28F640J3, 28F128J3
Hersteller: Intel Corp.
www.intel.com

EEPROM AT25640:

Dokument: Datenblatt AT25080_160_320_640
Hersteller: ATMEL
www.atmel.com

Ethernet-Controller LAN91C111A:

Dokument: Datenblatt DS-LAN91C111
Hersteller: SMSC
www.smsc.com

CODEC UCB1400:

Dokument: UCB1300 Product specification
Hersteller: Philips Semiconductors
www.philips-semiconductors.com

USB-Host Cotroller ISP1161:

Dokument: ISP1161 Product specification
Hersteller: Philips Semiconductors
www.philips-semiconductors.com

MultiMedia FlashCard:

Dokument: MultiMediaCard Product Manual

Hersteller: SanDisk
www.sandisk.com

MMC Standard:

Quelle: MMC Definition Group
Postfach 80 17 09
D-81617 München
Telefax +49 89 636 27151

Mikrap AG für Mikroelektronik-Applikation

Postfach 264
Langrütistrasse 33
CH-8840 Einsiedeln
Schweiz

Tel: +41 (0)55 418 44 44
Fax: +41 (0)55 418 44 33
E-mail: info@mikrap.ch
Internet: www.mikrap.com